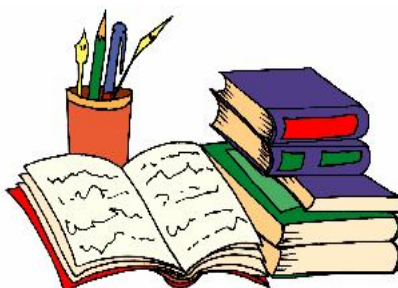


Luận văn tốt nghiệp

**Đề tài: Thiết kế và thi công
mạch cảnh báo tốc độ và tính
cước xe taxi**



DẪN NHẬP

I – ĐẶT VẤN ĐỀ

Cùng với sự phát triển của xã hội, nhu cầu vật chất và tinh thần của con người ngày càng tăng. Nắm bắt được điều trên, trong vài năm gần đây để thỏa mãn nhu cầu đi lại ngày càng cao để giải quyết một số vấn đề xã hội như giảm bớt lượng xe hai bánh trên đường phố, tăng vẻ mỹ quan cho đô thị. Nhà nước đã đưa vào hoạt động loại hình Taxi. Đây là loại hình đưa đón khách tương đối mới mẻ đối với nước ta nhưng lại không xa lạ gì đối với các nước. Nó tỏ ra tiện dụng cho việc đi lại và phần nào giảm bớt được ô nhiễm môi trường, an toàn cho hành khách. Muốn như vậy, xe Taxi lưu hành phải trang bị những thiết bị an toàn cho hành khách lẫn người điều khiển phương tiện. Ngoài những thiết bị như dây an toàn, thiết bị giảm xóc và chống va đập... thì việc trang bị những thiết bị cảnh báo nhằm cung cấp thông tin về tình trạng hoạt động của xe cho người điều khiển là điều cần thiết.

Bên cạnh vấn đề quan trọng là bảo đảm an toàn trong quá trình di chuyển thì việc tính cước trên xe Taxi phải đảm bảo tính chính xác và hợp lý nhằm tạo tâm thoải mái và dễ chịu cho hành khách.

Xuất phát từ nhu cầu thực tế khách quan đó, cùng những kiến thức đã được trang bị trong trường, người thực hiện đã mạnh dạn thực hiện đề tài **“THIẾT KẾ VÀ THI CÔNG MẠCH CẢNH BÁO TỐC ĐỘ VÀ TÍNH CƯỚC XE TAXI”**.

II- GIỚI HẠN ĐỀ TÀI:

Với đề tài mang tính thực tiễn là **“THIẾT KẾ VÀ THI CÔNG MẠCH CẢNH BÁO TỐC ĐỘ VÀ TÍNH CƯỚC XE TAXI”** thì vấn đề thực hiện thiết kế và thi công một mạch hồn chỉnh thật sự có thể ứng dụng rộng rãi là một điều mà người thực hiện mong muốn đạt được.

Tuy nhiên do thời gian và kiến thức có hạn cùng những hạn chế khách quan khác ngoài ý muốn mà trong phạm vi đồ án người thực hiện không thể đề cập, đi sâu khảo sát bộ tính cước xe Taxi đang được sử dụng rộng rãi trên các xe Taxi ở nước ta. Dù vậy người thực hiện cũng đã cố gắng tìm hiểu các nguyên lý tính cước cũng như cảnh báo tốc độ xe ô tô để đề ra hướng giải quyết. Theo đó nội dung nghiên cứu chỉ tiến hành thực hiện các vấn đề sau:

- Giới thiệu nguyên lý đo tốc độ, nguyên lý tính cước xe Taxi, nguyên lý cảnh báo tốc độ xe ô tô.
- Thiết kế mạch phần cứng.
- Thiết kế phần mềm.

Về thi công, với yêu cầu của đề tài đặt ra là thiết kế và thi công một mạch điện gắn sát với thực tế để phục vụ cho việc học tập và nghiên cứu. Trên cơ sở dựa trên khả năng kiến thức đã thu thập ở nhà trường, người thực

hiện đã cố gắng tiến hành thi công một số mạch cơ bản đủ để mô phỏng việc cảnh báo tốc độ và tính cước xe Taxi.

III-MỤC ĐÍCH NGHIÊN CỨU

Việc vận dụng môn điện tử ứng dụng để giải quyết một vấn đề kỹ thuật là điều không còn gì mới mẻ nhưng tính mới mẻ của đề tài được thể hiện ở chỗ người thực hiện đã mạnh dạn đi nghiên cứu một lĩnh vực mới đang phát triển mạnh mẽ nhằm đáp ứng nhu cầu của xã hội đó là lĩnh vực trang bị điện tử cho xe ô tô.

Đề tài được thực hiện trong phạm vi hẹp chưa thể ứng dụng được trong thực tiễn nhưng điều mà người thực hiện muốn hướng đến là thông qua việc thực hiện đồ án tốt nghiệp có điều kiện vận dụng lý thuyết đã học để giải quyết một vấn đề mang tính thực tiễn. Đồng thời trong một chừng mực nào đó tập đề án có thể được xem như một tài liệu tham khảo, học tập cho sinh viên trong và ngoài ngành.

I-THỂ THỨC NGHIÊN CỨU:

1- Thời gian nghiên cứu:

Quá trình nghiên cứu một đề tài được xem là một quy trình công nghệ hẫng hoi vì nó đòi hỏi phải tiến hành theo các khâu kế tiếp nhau bao gồm việc chọn đề tài, biên soạn đề cương, thu thập dữ kiện, xử lý dữ kiện, viết công trình nghiên cứu.

Luận văn tốt nghiệp được tiến hành thực hiện trong khoảng thời gian là 6 tuần:

- Tuần 1 : Chọn đề tài, chính xác hóa đề tài, soạn đề cương.
- Tuần 2 : Thu thập dữ kiện và tài liệu liên hệ.
- Tuần 3 – 5 : Viết lý thuyết và thi công
- Tuần 6 : Hoàn tất và nộp đồ án

2- Phương pháp thu thập dữ kiện:

Đây là giai đoạn quan trọng, sử dụng các phương pháp và phương tiện nghiên cứu để thu thập các dữ kiện về đề tài đã được xác định. Dữ kiện thu thập được sẽ là chất liệu để hình thành công trình nghiên cứu khoa học. Vấn đề là làm sao thu thập được dữ kiện đầy đủ, chính xác, và phù hợp với nội dung nghiên cứu.

Trong phạm vi tập đồ án này người thực hiện sử dụng các phương pháp tham khảo tài liệu và thực nghiệm để thu thập dữ kiện giải quyết đề tài. Việc tham khảo tài liệu giúp cho người thực hiện bổ sung thêm kiến thức, lý luận cũng như phương pháp mà những công trình nghiên cứu trước đó đã xây dựng. Nhờ đó người nghiên cứu tập trung năng lực vào việc giải quyết các vấn đề còn tồn tại. Tuy nhiên việc nghiên cứu tham khảo tài liệu luôn bảo đảm tính kế thừa và phát triển có chọn lọc.

3- Xử lý dữ kiện:

Các dữ kiện sau khi được thu thập chưa thể sử dụng được ngay mà phải qua quá trình sàng lọc, sửa chữa, phân tích khái quát hóa thành lý luận. Tài liệu được người thực hiện sử dụng là những tài liệu có chất lượng cao chủ yếu là tài liệu gốc nên bảo đảm chính xác về nội dung đề cập.

4- Trình bày:

Tốt nghiệp được trình bày theo cấu trúc một tập đồ tốt nghiệp để phù hợp với nội dung và thời gian nghiên cứu đồng thời đáp ứng đúng yêu cầu về chương trình đào tạo của trường.

Trình bày thành văn công trình nghiên cứu khoa học là giai đoạn hoàn thành nghiên cứu, do đó không thể xem đó là việc nắm vững bút pháp trong nghiên cứu khoa học giúp người nghiên cứu làm sáng tỏ thêm những kết quả đạt được, phát triển chúng và có thêm những ý kiến mới.

II-CƠ SỞ LÝ LUẬN:

Tốt nghiệp thực chất là một quá trình nghiên cứu khoa học – quá trình nhận thức và hành động. Quá trình này đòi hỏi phải có thời gian nhất định tương xứng với nội dung của đối tượng nghiên cứu và tính chất phức tạp của vấn đề nghiên cứu.

Việc nghiên cứu khoa học giúp ta phát hiện ra cái mới. Cái mới ở đây không những mang tính chủ quan của người nghiên cứu mà còn mang tính chất khách quan đối với xã hội. Nghiên cứu khoa học phải nhằm mục đích phục vụ xã hội, đáp ứng yêu cầu của thực tiễn.

Hoạt động nghiên cứu khoa học muốn đạt kết quả tốt phải hội đủ các yếu tố: phương tiện, phương pháp, cơ sở vật chất máy móc thiết bị, hình thức tổ chức. Các yếu tố này có mối liên hệ hữu cơ và phù hợp với đối tượng nghiên cứu.

- Các cơ sở cho việc nghiên cứu và thực hiện đề tài:

1- Kiến thức và năng lực của người nghiên cứu:

Trong quá trình lựa chọn và thực hiện đề tài người nghiên cứu phải cân nhắc kỹ độ khó và độ phức tạp của đề tài sao cho phù hợp với khả năng, kiến thức và năng lực của người nghiên cứu.

- Độ phức tạp của đề tài thể hiện ở các mặt: lĩnh vực nghiên cứu rộng hay hẹp, ở một ngành hay liên ngành, đối tượng nghiên cứu là đồng nhất hay không đồng nhất... Tuy nhiên cần lưu ý rằng giá trị của đề tài không phụ thuộc vào độ phức tạp của nó. Đề hẹp chưa hẳn là đề tài kém giá trị. Mỗi đề tài nghiên cứu khoa học có phạm vi nhất định, phạm vi này càng hẹp thì việc nghiên cứu càng sâu. Do đó độ phức tạp của đề tài thường có mối liên hệ hỗ tương với độ khó của nó.
- Kiến thức của người nghiên cứu (đây là điều kiện chủ quan ở người nghiên cứu). Trước hết đó là vốn liếng, kinh nghiệm của người nghiên cứu. Giáo sư Hà Văn Tấn đã nhận xét: “Trình độ học sinh, sinh viên hiện nay không cho phép họ ngay từ đầu chọn được đề tài nghiên cứu. Vì vậy phải có sự gợi ý của thầy giáo. . .”. Mỗi đề tài nghiên cứu khoa học có những yêu cầu nhất định của nó. Người nghiên cứu cần nắm vững nội dung, phương pháp nghiên cứu phù hợp với đề tài, nói khác đi đề tài nghiên cứu phải mang tính vừa sức.

- Người nghiên cứu phải thể hiện năng lực nghiên cứu khoa học bao gồm việc nắm vững lý thuyết cơ bản của khoa học trong lĩnh vực nghiên cứu của mình, nắm được mức độ nhất định về sự phát triển và tiến bộ thuộc lĩnh vực nghiên cứu. Có như thế mới chọn được đề tài nghiên cứu có giá trị. Trong tình hình tiến bộ khoa học kỹ thuật ngày nay trên thế giới, khối lượng thông tin khoa học kỹ thuật gia tăng với qui mô lớn và nhịp độ nhanh đòi hỏi người nghiên cứu khoa học phải tham khảo tài liệu nước ngoài. Để thực hiện được điều này người nghiên cứu khoa học cần có số vốn ngoại ngữ nhất định.

Thể hiện lòng ham mê khoa học, quyết tâm nghiên cứu tìm tòi chân lý.

2- Vấn đề thực tiễn.

- Người nghiên cứu phải coi thực tiễn là cơ sở, là động lực của nhận thức. Ăng-ghe-nh viết: “Khi xã hội có những yêu cầu kỹ thuật thì xã hội thúc đẩy khoa học hơn 10 trường Đại học”. Mặt khác thực tiễn cũng là tiêu chuẩn để kiểm tra nhận thức.
- Thực tế là những sự việc có thật, những tình hình cụ thể, những vấn đề đã hoặc chưa được giải quyết trong cuộc sống. Người nghiên cứu với kinh nghiệm bản thân trong công tác hàng ngày thường thấy được các mặt của vấn đề, các mối quan hệ phức tạp, các diễn biến, phương hướng phát triển của sự vật từ đó có hướng thích hợp giải quyết đề tài.
- Chính thực tiễn giúp người nghiên cứu tìm thấy vấn đề một cách cụ thể. Người nghiên cứu phải xem thực tiễn cao hơn nhận thức (lý luận) vì nó ưu điểm không những của tính phổ biến mà còn của tính hiện thực trực tiếp. Hồ Chủ Tịch cũng đã dạy: “Học tập thì theo nguyên tắc: kinh nghiệm và thực tiễn phải đi cùng nhau”.
- Đề tài thực hiện mang tính thực tiễn, nội dung của đề tài là có thật, phát triển từ thực tế khách quan.
- Có thể nói hầu như mọi công trình nghiên cứu đều có giá trị thực tế của nó, chỉ khác nhau ở mức độ ít nhiều, phục vụ trước mắt hay lâu dài, gián tiếp hay trực tiếp.

3- Tác động của điều kiện khách quan đến việc thực hiện đề tài.

Trong quá trình nghiên cứu thực hiện đề tài người nghiên cứu là yếu tố chủ quan góp phần quan trọng đến kết quả còn đối tượng nghiên cứu, phương pháp nghiên cứu kể cả phương tiện nghiên cứu, thời gian nghiên cứu cũng như người công tác nghiên cứu và người hướng dẫn nghiên cứu là những điều kiện khách quan ảnh hưởng trực tiếp đến việc nghiên cứu và kết quả nghiên cứu. Người nghiên cứu càng nắm chắc các yếu tố khách quan đó bao nhiêu thì kết quả nghiên cứu càng được khẳng định bấy nhiêu.

A- GIỚI THIỆU

I-NGUYÊN LÝ ĐO TỐC ĐỘ XE ÔTÔ

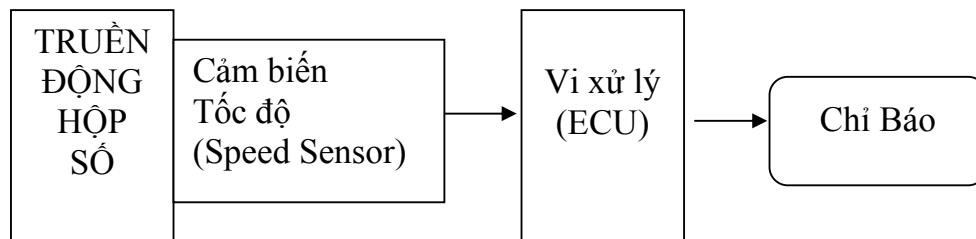
1- Mở đầu:

Trong vài năm gần đây, các thiết bị đo bằng cơ khí và đèn báo chỉ có ý nghĩa mang đến những thông tin cần thiết hỗ trợ cho người lái xe. Việc đưa những bộ xử lý bằng điện tử vào ứng dụng trong các xe hơi đời mới đã góp phần thúc đẩy nền công nghiệp ô tô phát triển mạnh theo hướng tiện nghi và dễ sử dụng đồng thời đảm bảo an toàn nhất cho người lái xe về tình trạng hoạt động của xe với các yếu tố ngoại cảnh. Nhưng dù là thiết bị chỉ báo bằng cơ hay bằng điện thì những thiết bị này vẫn được xây dựng nên bởi ba yếu tố chính là: đầu vào, bộ xử lý và đầu ra. Chẳng hạn như khi kiểm soát hoạt động của xe thì một bộ phận vi xử lý của máy Engine ECU (Electronic Control Unit) sẽ xử lý những tín hiệu nhận từ những bộ cảm biến (sensors) rồi đưa đến bộ phận chỉ báo.

2- Nguyên lý đo tốc độ xe ô tô:

Ở xe ô tô đời cũ, tốc độ xe ô tô được xác định bằng bộ cơ khí: dùng một bánh vít trục vít gắn tại hộp số và thông qua dây công-tơ-mét dẫn động kim đồng hồ đo tốc độ quay. Đây là phương pháp cổ điển, đơn giản, hiệu quả về kỹ thuật tuy nhiên hạn chế bởi độ bền cơ và chưa đạt độ chính xác cao.

Hiện nay, các xe ô tô đời mới không dùng kiểu đo tốc độ bằng cơ khí nữa mà dùng hệ thống xử lý tín hiệu điện lấy từ cảm biến tốc độ (Speed sensor) đặt ở trục thứ cấp của hộp số đưa về xử lý rồi đưa đến đồng hồ chỉ báo tốc độ. Sở dĩ xu hướng chuyển sang phương pháp mới này là do yêu cầu khách quan về điện tử hóa các bộ phận điều khiển thiết bị hỗ trợ trên xe. Phương pháp này tỏ ra chính xác và gọn nhẹ đồng thời thể hiện khả năng mềm dẻo linh hoạt trong xử lý và hỗ trợ tích cực cho các thiết bị liên quan.



Hình A. 1: Sơ đồ khối đo tốc độ.

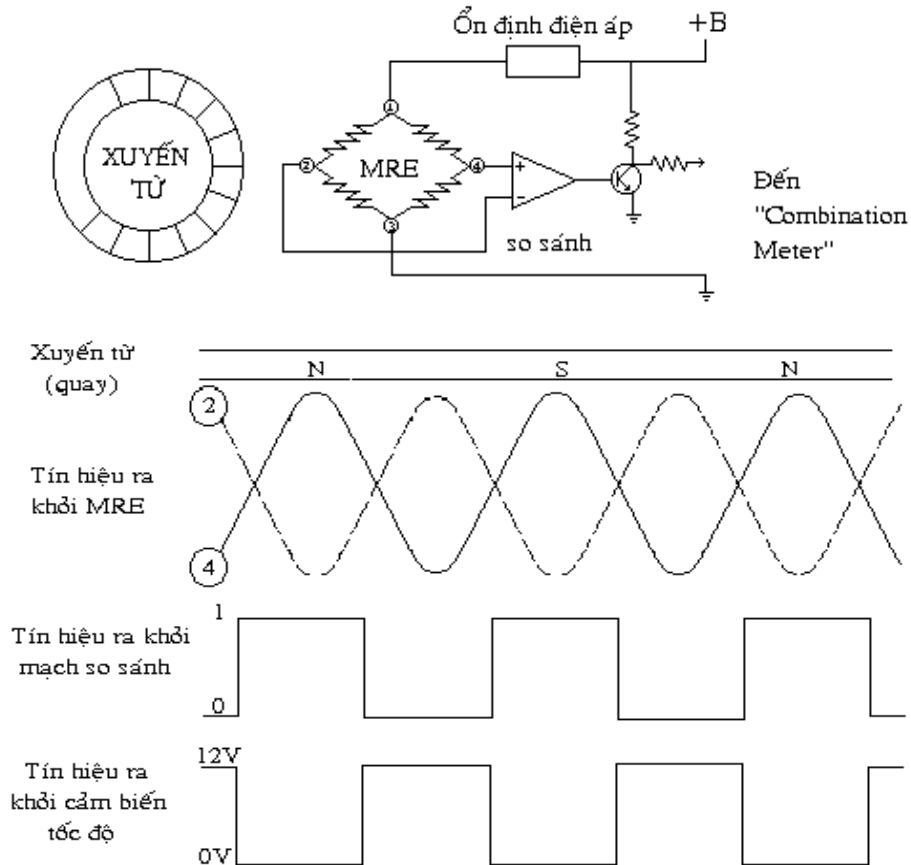
* Có hai bộ đo tốc độ thường dùng:

- a- **Bộ cảm biến này bao gồm:** IC lai HIC (Hybrid Integrated Circuit) được lắp trên MRE và một xuyên từ (Magnetic Ring). Toàn bộ cảm biến được lắp đặt ở hộp số và được dẫn động bởi bánh răng của trục thứ cấp.

- Hoạt động:

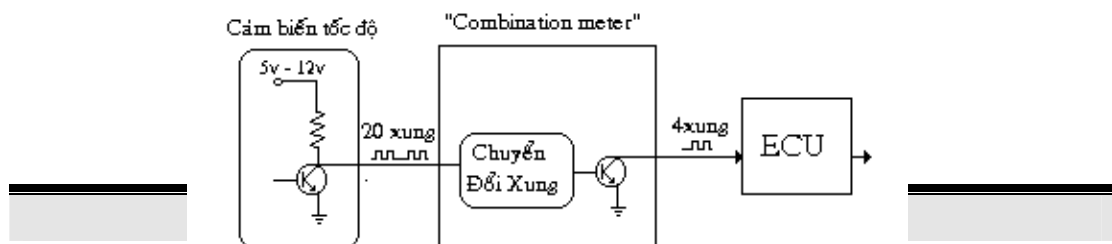
Khi trục số quay truyền động cho trục gắn xuyên từ quay theo tạo ra một từ thông biến thiên liên tục. Kết quả là tạo nên một tín hiệu xoay chiều

liên tục khi ra khỏi MRE. Tín hiệu xoay chiều này qua bộ so sánh (Comparator) trong bộ cảm biến tốc độ sẽ chuyển đổi dạng sóng xoay chiều ra tín hiệu số. Tín hiệu này sau đó được chuyển đổi bởi một transistor tríc khi gửi đến bộ liên kết đo (Combination meter).



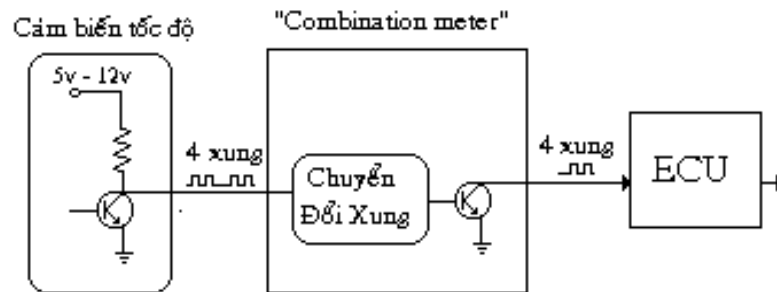
Tần số của sóng sin được cho tùy theo số cực của nam châm gắn trên xuyên từ. Có hai loại xuyên từ (phụ thuộc vào đời của xe ô tô):

- Loại có 20 cực từ sẽ cho ra 20 chu kỳ sóng sin (ứng với mỗi vòng quay của xuyên từ). Trong trường hợp này tần số của tín hiệu được chuyển đổi từ 20 xung cho mỗi vòng quay của xuyên từ thành 4 xung sau khi qua bộ liên kết đo (Combination Meter). Sau đó tín hiệu sẽ được gửi đến bộ xử lý của máy Engine ECU để xử lý sau cùng đưa đến đồng hồ chỉ thị.



Hình A.4a: Tín hiệu ra của loại 20 cực từ (*)

- Loại có 4 cực từ sẽ cho ra 4 chu kỳ sóng sin. Sau khi qua khỏi bộ cảm biến tốc độ là 4 xung được chuyển qua bộ “Combination Meter” trước khi đến ECU (đến ECU vẫn là 4 xung). Sau đó tín hiệu sẽ được gửi đến ECU của máy để xử lý sau cùng được đưa đến đồng hồ chỉ thị.

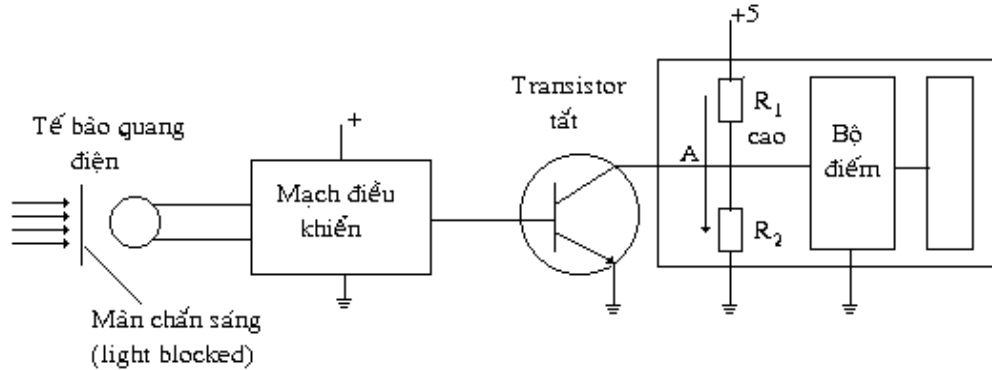


Hình A.4b: Tín hiệu ra của loại 4 cực từ (*)

b- Mạch quang điện tử (The photoelectric circuit):

Mạch quang điện tử bao gồm: 1 đèn LED, 1 tế bào quang điện và một hệ thống điện nối tiếp điều khiển. Đèn LED phát ra tia hồng ngoại mà mắt thường không nhìn thấy được. Nếu chùm tia sáng này chiếu đến được tế bào quang điện thì nó ở trạng thái mở.

Tồn bộ cảm biến này được gắn sau đồng hồ tốc độ như hình vẽ:

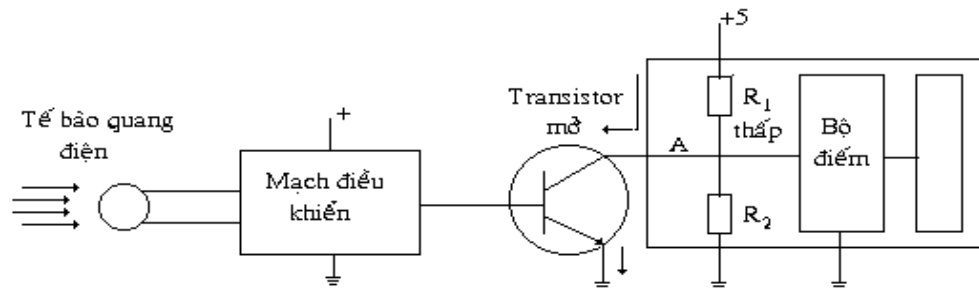


Hình A.6a (**): Chùm tia sáng không đến được tế bào quang điện, transistor ở trạng thái tắt, dòng điện chạy qua R_1 và R_2 , điện áp tại điểm A là 2,5v (mức cao); với $R_1 = R_2$

- Hoạt động:

Khi trục quay nhờ cáp dẫn động từ hộp số thì một đĩa trên có đục lỗ sẽ quay theo. Khi chùm tia sáng xuyên qua lỗ trên đĩa đến tế bào quang điện (photocell) thì làm nó dẫn, đĩa tiếp tục quay đến vị trí mà chùm tia sáng không đến được tế bào quang điện làm nó ngưng dẫn. Kết quả là ta có một chuỗi xung xác định ứng với mỗi vòng quay của đĩa.

Một vi xử lý sẽ đếm số xung điện áp cho bởi sự thay đổi điện áp rơi trên điện trở. Dựa vào số xung đếm được trong một khoảng thời gian sẽ cho ta biết vận tốc xác định của xe.



Hình A.6b (**): Chùm tia sáng đến được tế bào quang điện, transistor ở trạng thái dẫn điểm A lúc này được nối đất kết quả tại A điện thế là 0V (mức thấp).

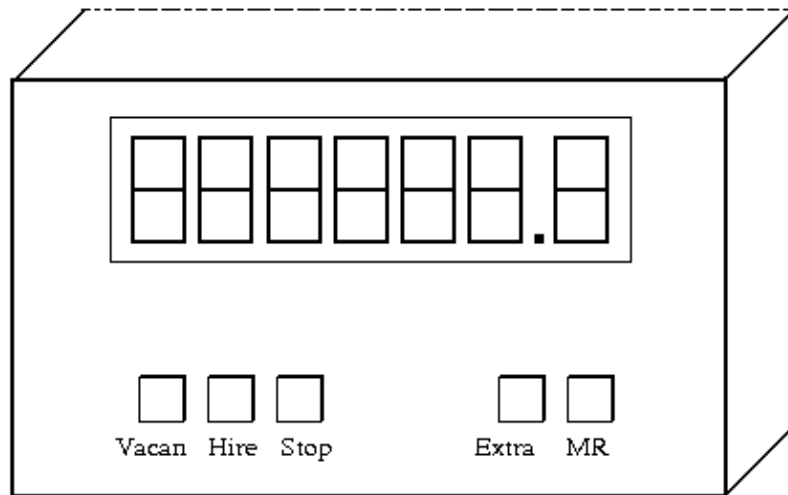
II-NGUYÊN LÝ TÍNH CƯỚC – CẢNH BÁO TỐC ĐỘ XE ÔTÔ:

1- Nguyên lý tính cước xe Taxi:

Trên thực tế bộ tính cước xe Taxi đang lưu hành hiện nay là được nhập ngoại hồn tồn và nhìn chung nó đáp ứng được các yêu cầu về kinh tế – kỹ thuật, đảm bảo tính chính xác quãng đường và số tiền hành khách trả cho đoạn đờng di chuyển.

* Việc tính cước được thực hiện như sau:

- Tín hiệu phục vụ cho việc tính cước là tín hiệu tốc độ lấy từ đờng hồ công-tơ-mét của xe.
- Một bộ xử lý tín hiệu sẽ đếm số xung qui đổi ra tại bánh xe để tính ra quãng đờng.
Số xung tại bánh xe = k (số xung tại hộp số)
- Từ quãng đờng đã có thực hiện phép nhân với số tiền qui định cho 1 km đầu và các km tiếp theo sẽ cho ta tổng số tiền/cuộc chạy.
- Khảo sát mô hình bộ tính cước thực tế được trang bị cho 1 loại xe Taxi đang lưu hành.



Hình A.7 : Sơ đồ khối bộ tính cước Taxi

* Công dụng và trạng thái các nút khi sử dụng:

- Hired : Bấm khi có khách.
- Vacant : Bấm khi không có khách.
- Stop : Bấm để kết thúc việc tính tiền.
- Extra : Bấm để xóa số tiền.
- MR : Khi bấm sẽ lần lượt cho chọn các chương trình.
 - . Báo tổng số tiền.
 - . Báo số km chạy có khách.
 - . Báo số km chạy không có khách.

* Khung giá cước phí Taxi hiện nay được qui định như sau:

- 1 Km đầu : 5000 ĐVN.
- 200m tiếp theo : 1000 ĐVN
- Sau 28 Km: 2800 ĐVN/km

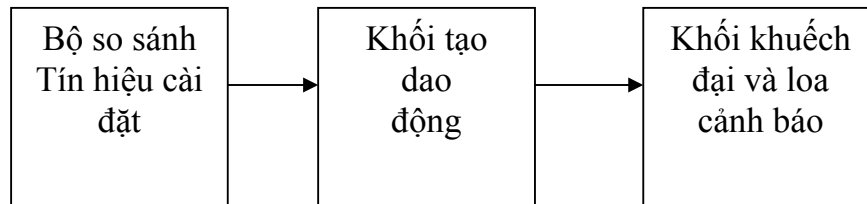
(Số liệu tháng 7/1999 của công ty Mai Linh Taxi)

2- Cảnh báo tốc độ xe ô tô:

Vấn đề an toàn giao thông, bảo đảm tính mạng cho người và xe là vấn đề cần được chú trọng và đặt lên hàng đầu. Thiết bị cảnh báo tốc độ đã được các hãng ô tô lắp đặt và lưu hành rộng rãi ở các nước nhưng ở nước ta lại ít được quan tâm sử dụng mặc dù nó góp phần quan trọng trong việc cảnh báo cho người điều khiển phương tiện biết đang di chuyển ở tốc độ cao mà có hướng kiểm soát lại tốc độ nhằm đảm bảo an toàn giao thông.

* Việc cảnh báo được thực hiện như sau:

- Tín hiệu tốc độ được đưa về bộ so sánh so sánh với tốc độ cài đặt.
- Khi đến tốc độ cài đặt thì tín hiệu được đưa đến mở tín hiệu dao động ở tần số quy định rồi xuất ra bộ khuếch đại tín hiệu và loa cảnh báo.



Hình A. 8: Sơ đồ khối mạch cảnh báo

Theo đó, giả sử ta qui định cài đặt các cấp cảnh báo như sau:

$V \geq 80\text{km/h} \rightarrow 500\text{Hz}$ (tần số cảnh báo)

$V \geq 100\text{km/h} \rightarrow 2\text{KHz}$

$V \geq 120\text{km/h} \rightarrow 5\text{KHz}$

Trên cơ sở dựa trên khả năng kiến thức đã thu thập ở nhà trường, người thực hiện đã tiến hành thiết kế một mạch vi xử lý sử dụng CPU là Z80. Đây là một KIT vi xử lý đa năng có khả năng giải quyết tốt các yêu cầu kỹ thuật của đề tài là xử lý tín hiệu tốc độ, thực hiện các phép tính phức tạp, lưu trữ dữ liệu, xuất kết quả ra màn hình..., đồng thời xử lý tốt việc cài đặt và cảnh báo tốc độ.

B – THIẾT KẾ MẠCH PHẦN CỨNG

I- GIỚI THIỆU SƠ ĐỒ KHỐI

Máy tính cá nhân hay hệ thống vi xử lý đều có chung một cấu trúc cơ bản, đây là cấu trúc tối thiểu, cô đọng các linh kiện để hệ thống có thể làm việc được. Sơ đồ khối hệ thống được trình bày (Hình B. 1)

1- Khối xử lý trung tâm (CENTRAL PROCESSING UNIT – CPU)

Đây là khối quan trọng nhất của hệ thống. CPU giữ nhiệm vụ tiếp nhận và xử lý những thông tin nhận từ bên ngoài. Đây là các cổng logic cơ bản tạo ra cho đơn vị xử lý trung tâm khả năng tiếp nhận và phân tích các yếu tố tác động, từ đó có đáp ứng thích hợp. Điều này được thể hiện qua khái niệm tập lệnh của linh kiện vi xử lý. Chẳng hạn tập lệnh của Z-80, tập lệnh này cho ta thấy được khả năng hoạt động có mức độ của đơn vị xử lý trung tâm. Khắc phục hạn chế đó, các nhà sản xuất đã cố gắng thiết kế tập lệnh sao cho khi kết hợp chúng lại với nhau, đơn vị xử lý trung tâm có khả năng thêm nhiều tình huống khác mà từng lệnh riêng biệt không thể giải quyết được. Đây chính là cơ sở của chương trình hệ thống.

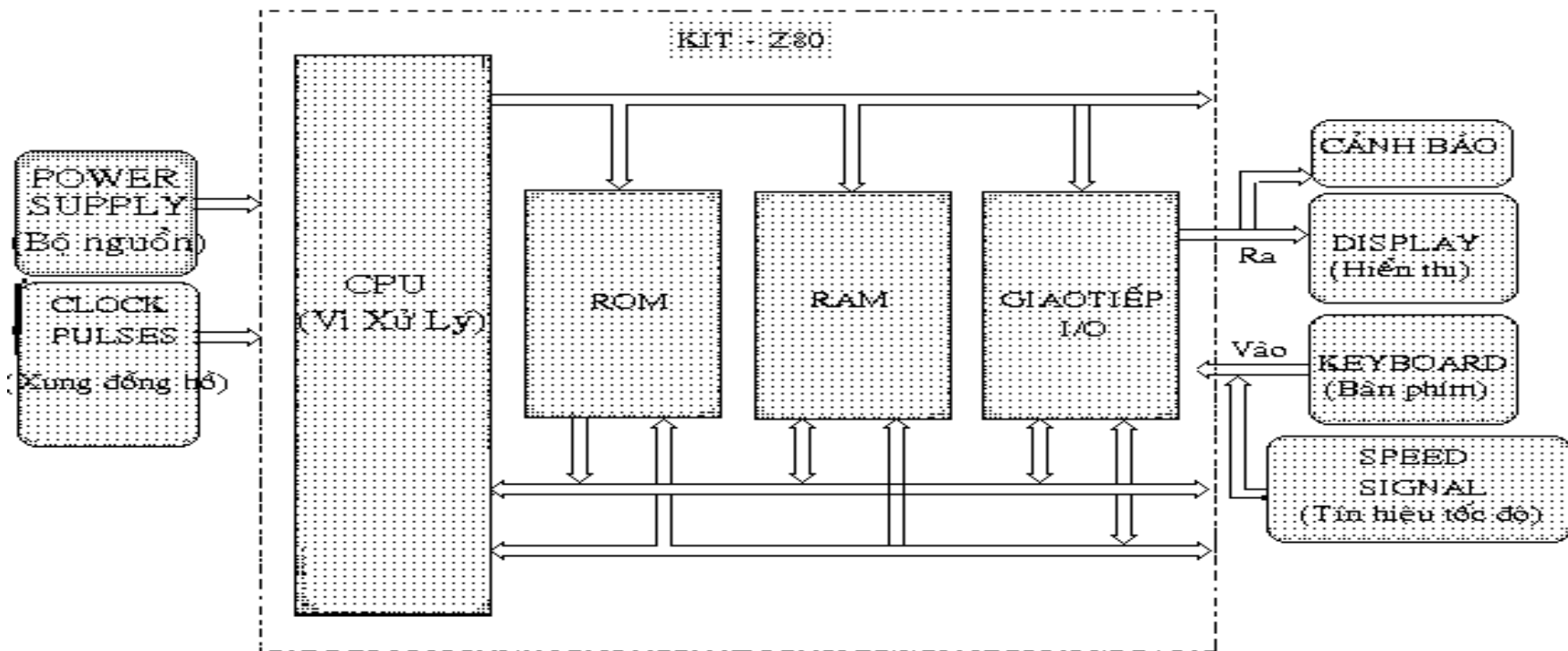
2- Khối bộ nhớ (MEMORY)

Đây là nơi lưu trữ chương trình cũng như các số liệu thu nhận và các kết quả tính toán sau một quá trình làm việc nào đó. Khối này không thể thiếu được trong một hệ thống vi xử lý vì nó là nơi lưu trữ những thông tin mà người lập trình tạo ra trong hệ thống.

Trong bộ nhớ, mỗi tế bào nhớ (cell) được gán cho một địa chỉ để tiện cho việc truy xuất. Khi có yêu cầu làm việc với bộ nhớ. CPU sẽ gửi ra một giá trị thích hợp trên tuyến địa chỉ. Đồng thời truyền trên tuyến điều khiển một tín hiệu đọc hay ghi để báo cho bộ nhớ biết CPU đang cần lấy hay lưu trữ dữ liệu.

3- Khối giao tiếp ngoại vi:

Đây là phần kết nối giữa CPU và bên ngoài. Do yếu tố khách quan là CPU chỉ có một tuyến dữ liệu, trong khi nhu cầu giao tiếp với bên ngoài rất nhiều. Vì vậy phần giao tiếp là đơn vị chịu trách nhiệm thiết lập mối quan hệ từ bên ngoài với hệ thống tại thời điểm có yêu cầu.



BẢN VẼ B.1: SƠ ĐỒ KHỐI HỆ THỐNG

Để đảm nhận vai trò này, thiết bị ngoại vi cũng được gán cho một địa chỉ để tiện cho việc truy xuất và dĩ nhiên kèm theo những tín hiệu điều khiển thích hợp từ CPU và tuyến dữ liệu để trao đổi thông tin.

4- Khối hiển thị và bàn phím:

Đây là khối phục vụ đặc lực của hệ thống vi xử lý. Bàn phím là nơi lập trình nhập các số liệu cũng như chương trình vào trong bộ nhớ. Bộ hiển thị giúp người lập trình kiểm soát việc nhập số liệu cũng như xem xét kết quả trong quá trình làm việc. Trong một số trường hợp đôi khi chúng không thực sự cần thiết nhưng nhìn chung bộ hiển thị và bàn phím được công nhận là hai thiết bị ngoại vi luôn đi kèm với một hệ thống vi xử lý. Mặt khác vì đây là những thiết bị ngoại vi nên bộ hiển thị không làm việc trực tiếp với CPU mà phải thông qua giao tiếp ngoại vi. Việc định vị chúng dựa trên bộ phận của khối giao tiếp mà mỗi thiết bị trực tiếp làm việc.

II- THIẾT KẾ BỘ XỬ LÝ TRUNG TÂM:

Trong hệ thống vi xử lý, CPU là bộ phận quan trọng nhất. Đây là nơi tiếp nhận và xử lý thông tin liên quan đến hoạt động của cả mạch. Cho nên việc chọn bộ phận xử lý trung tâm thích hợp là yêu cầu quan trọng đầu tiên trong thiết kế, nó quyết định phần lớn khả năng hoạt động cho tồn hệ thống.

1- Phân tích yêu cầu hệ thống – chọn linh kiện:

Để chọn một linh kiện thích hợp, chúng ta căn cứ vào một số yêu cầu:

- a- Có tính cơ bản, đặc trưng cho một hệ thống vi xử lý.
- b- Thể hiện được khả năng ưu việt so với hệ thống mạch số.
- c- Đáp ứng tốt và làm việc dễ dàng với các linh kiện trong hệ thống.
- d- Dễ sử dụng, cũng như thiết kế các ứng dụng.
- e- Có đầy đủ tài liệu tra cứu.
- f- Không yêu cầu cao trong thiết kế.
- g- Chấp nhận được về giá thành.

Thực tế hiện nay, lĩnh vực vi xử lý đã phát triển rất cao, từ một hệ thống 16 bit đã nâng lên 32 bit thậm chí đến 64 bit, khả năng quản lý bộ nhớ từ 640 Kbyte hiện vượt đến giới hạn Gbyte. Cũng như tốc độ xử lý tiến mạnh không ngừng đã lên đến hàng trăm Mhz. Và như thế việc chọn bộ xử lý vừa đáp ứng được yêu cầu đặt ra, vừa minh họa được tốc độ phát triển của lĩnh vực vi xử lý hiện tại là một điều không dễ. Chúng ta sẽ chọn một hệ vi xử lý đơn giản nhất, phù hợp: hệ vi xử lý 8 bit, tuy không mạnh so với thực tế hiện nay nhưng thiết nghĩ cũng có thể thỏa mãn yêu cầu tìm hiểu về lĩnh vực này.

CPU 8 bit được chia thành hai hệ: hệ 80 và hệ 68. Hệ 80 có số hiệu 8080 và 8085 của hãng Intel và Z-80 của hãng Zilog. Hệ 68 có số hiệu 6800, 6802, 6809. . . của hãng Motorola.

Căn cứ vào cấu trúc linh kiện, khi dùng các vi xử lý như 8085, 8080 . . . mạch thiết kế trở nên phức tạp, vì đòi hỏi phải có mạch chốt (đối với 8085, bộ đệm hai chiều, nhiều cấp điện áp (8080). Như vậy vấn đề lựa chọn còn lại là Z-80 hay CPU hệ 68. Phân tích về mặt phần cứng hệ 68 tỏ ra ưu điểm hơn Z-80.

- Hệ 68 có mạch tạo xung clock ngay bên trong IC, chỉ cần mắc thêm một thạch anh bên ngoài là đủ.
- Được trang bị 128 byte RAM bên trong.

Tuy nhiên, căn cứ vào các yêu cầu đặt ra của đề tài, vi mạch thông dụng, giá thành hạ dễ tìm trên thị trường nên chúng em quyết định chọn CPU Z-80 có đặc điểm thanh ghi như sau:

- 06 thanh ghi đa năng B, C, D, E, H, L.
- 06 thanh ghi dự trữ B', C', D', E', H', L'.
- Bộ tích lũy 8 bit.
- Hai thanh ghi chỉ số IX và IY
- Hai thanh ghi chức năng I và R
- Bộ đếm chương trình PC.
- Con trỏ SP.

2- Thiết kế mạch xử lý trung tâm:

a- Thiết kế mạch dao động clock:

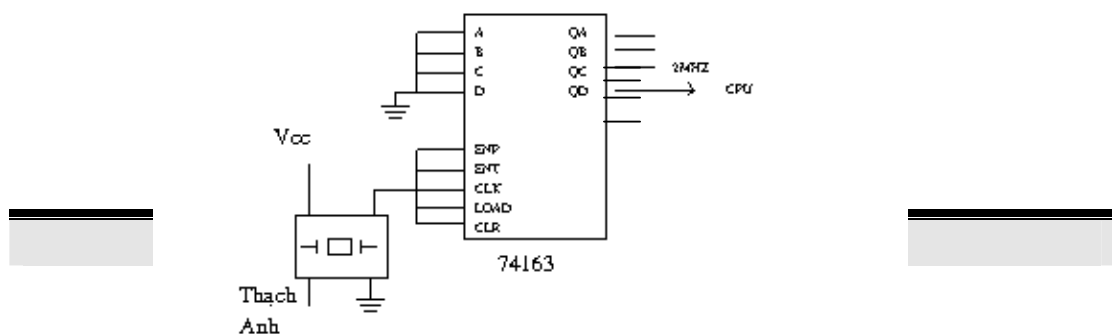
Xung clock đóng vai trò rất quan trọng trong hệ thống vi xử lý có nhiệm vụ đồng bộ hoạt động của các linh kiện khác nhau trong mạch.

Khi thiết kế mạch tạo xung clock cần phải thỏa điều kiện:

- Đảm bảo độ ổn định của tần số làm việc.
- Thích ứng với mọi linh kiện trong hệ thống.
- Tần số của mạch dao động clock không được vượt quá trị số đã qui định, để đảm bảo cho CPU hoạt động đúng.

Trên thực tế có nhiều cách tạo mạch dao động clock: ráp bằng transistor rời, ráp bằng cổng logic, mạch dao động thạch anh. Tuy nhiên, dùng mạch dao động thạch anh là giải pháp có tính thuyết phục nhất, vì thạch anh là linh kiện có tính ổn định cao, cho giá trị chính xác, sai số nhỏ.

Như chúng ta đã biết, ở điều kiện lý tưởng tần số làm việc của CPU phải hoàn toàn tương thích với tốc độ truy xuất dữ liệu của bộ nhớ. Đối với CPU Z-80 cần tần số xung clock 2 MHz, mạch dao động thạch anh được lắp theo sơ đồ:



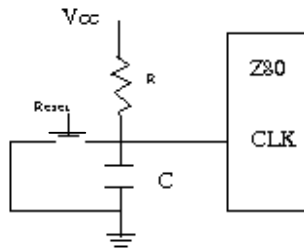
Hình B.2: Sơ đồ mạch tạo dao động chuẩn cho CPU

Tuy nhiên, hiện nay trên thị trường rất hiếm thạch anh 2MHz, do đó người thực hiện dùng thạch anh 32 MHz đưa vào IC 74163 để chia tần số (chia 16), tín hiệu lấy trên chân Q_D có tần số ra là 2 MHz.

b- Thiết kế mạch tạo tín hiệu Reset:

Chân mang tín hiệu – RESET chịu tác động tương ứng với trạng thái “L”, có nghĩa là khi tín hiệu ‘0’ xuất hiện trên chân reset sẽ làm cho các bộ phận sau trở lại giá trị ban đầu 0 flip-flop cho phép ngắt, PC thanh ghi địa chỉ lệnh (Program counter), thanh ghi vectơ ngắt (interrupt vector) và thanh ghi phục hồi bộ nhớ (memory register). CPU sẽ trở về trạng thái ban đầu (initial state). Trong thời gian reset, tuyến địa chỉ và tuyến dữ liệu trở nên trạng thái tổng trở cao và tất cả các tín hiệu điều khiển khác cũng nằm trong trạng thái không hoạt động.

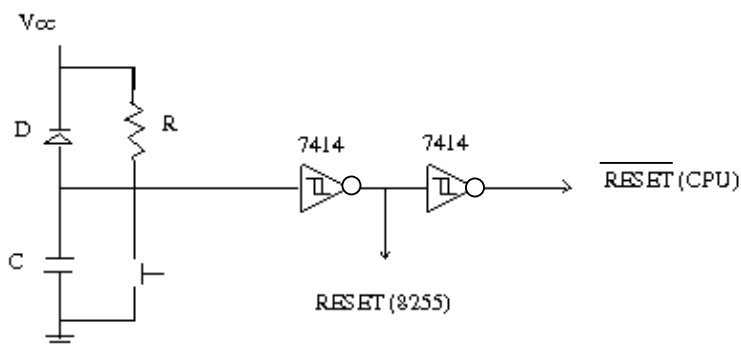
Mạch điện sau đây đáp ứng được yêu cầu nêu ra:



Hình B.3 : Sơ đồ mạch tạo tín hiệu reset

Thời gian reset máy được các nhà sản xuất CPU khuyên không nhỏ hơn xung clock của hệ thống (bằng 0.5 theo thiết kế). Dựa vào thời hằng của mạch RC để tính toán và giá trị của R, C được chọn là : $R = 4.7k$, $C = 220\mu F$. thời gian Reset sẽ là $T = 1.4s$. tuy nhiên với dạng xung là đặc tính nạp điện của tụ, do đó mức logic 0 sẽ không bảo đảm. Để khắc phục nhược điểm này người thực hiện dùng IC7414.

Mạch được thực hiện như sau:



Hình B.4: Sơ đồ mạch tạo tín hiệu Reset cho CPU và 8255

Chức năng tạo ra một xung tác động vào chân Reset của CPU (Reset mức cao) và 8255 (Reset mức thấp) khi mới cấp điện cho hệ thống hay để khởi động lại khi bị treo. Do chương trình quản lý và điều khiển hệ thống luôn là chương trình được thi hành đầu tiên tại địa chỉ 0000h, nên thao tác Reset sẽ xóa thanh ghi cờ đặt lại thanh ghi PC = 0000h, xóa thanh ghi

Control word của 8255.

III-THIẾT KẾ BỘ NHỚ:

Bộ nhớ là khối quan trọng thứ hai sau khối xử lý trung tâm. Các chương trình điều khiển, các dữ liệu thu thập từ bên ngoài cũng như những phát sinh từ bên trong chương trình đều được lưu giữ trong bộ nhớ. Có thể nói bộ nhớ là nơi CPU thường xuyên trao đổi thông tin nhất. Chính vì vậy từ khi máy tính ra đời đến cùng với sự cải tiến không ngừng mạch vi xử lý, bộ nhớ ngày càng được tối ưu hóa không chỉ về mặt dung lượng, kích thước mà còn về cả thời gian truy xuất dữ liệu nữa.

1- Phân tích yêu cầu hệ thống – chọn linh kiện:

Hầu hết các bộ nhớ đang sử dụng là bộ nhớ bán dẫn vì có sự tương thích về kích thước vật lý, tốc độ hoạt động, năng lượng tiêu thụ và mức logic. Những bộ nhớ này được sử dụng như những vi mạch riêng biệt hoặc ghép chung trên cùng một chip với bộ vi xử lý.

Dung lượng bộ nhớ được xác định bằng số lượng bit hay số lượng từ cực đại mà bộ nhớ có thể chứa được. Giả sử bộ nhớ có n bit địa chỉ và mỗi từ có độ dài là m , như vậy bộ nhớ có $2^n \cdot m$ bit, được tổ chức như 2^n từ và mỗi từ là m bit.

Bộ nhớ bán dẫn, bản thân nó được chia thành hai nhóm chính:

- ROM (Read Only Memory): chứa sẵn chương trình khởi tạo cho máy hoạt động được khi mới bật điện hay Reset máy.
- RAM (Read Access Memory): Dùng nạp chương trình do người viết vào máy làm cho hoạt động được.

ROM có nhiều dạng mà tên gọi của mỗi loại đặc trưng cho công nghệ chế tạo và cách thức ghi dữ liệu tương ứng. Ở đây là thể kể ra một số loại như:

- PROM (Programmable Rom): loại ROM này chỉ ghi dữ liệu được một lần và không thể thay đổi được nữa.
- EPROM (Erasable Programmable Rom): đây là loại ROM có thể ghi xóa được nhiều lần. Linh kiện này tỏ ra ưu điểm là dùng điện thay

cho tia cực tím để xóa dữ liệu đã ghi trước đó, điều này rất thuận tiện cho người sử dụng.

ROM nói chung do tính chất lưu trữ dữ liệu bằng cách thay đổi cấu trúc vật lý nên dữ liệu được tồn tại mà không cần có nguồn điện để duy trì.

Khác với ROM nội dung chứa trong RAM linh động hơn, nó có thể thay đổi được và nội dung của nó bị mất khi nguồn điện nuôi bị mất. RAM được chia làm 2 loại:

- SRAM (Static RAM): RAM tĩnh, đơn vị cơ sở là mạch Flip-flop, việc tồn trữ dữ liệu dựa vào nguyên tắc hoạt động của Flip-flop D. Dữ liệu ghi vào tồn tại ở một trong hai trạng thái logic của mạch số và được giữ nguyên trong quá trình làm việc.
- DRAM (Dynamic RAM): RAM động, lưu trữ một bit thông tin dưới hình thức điện tích trữ trong điện dung mỗi nối bán dẫn transistor. Đơn vị cơ sở của DRAM là điện dung bám sinh giữa cực chắn và cực nền của một transistor MOS. Do đó mật độ của DRAM cao hơn SRAM. Dưới tác dụng của dòng rỉ điện thế tụ bị giảm dần. Vì thế phải liên tục làm tươi (Refresh) DRAM. Quy trình làm tươi bao gồm việc dò thông tin khỏi ngăn nhớ rồi viết trở lại. Do có cấu tạo như vậy nên DRAM thường có dung lượng bộ nhớ cao.

Chọn bộ nhớ bán dẫn phải thỏa mãn được các yếu tố: nhỏ, gọn, không chiếm nhiều diện tích, công suất tiêu tán thấp và gắn được trực tiếp trên bo mạch chính cùng với các linh kiện khác.

Từ những nhận định trên, chúng ta xem xét lựa chọn những loại nào thích hợp nhất trong đề tài, sau đây là một vài nhận xét:

- Đối với việc lựa chọn ROM:
 - + Sử dụng PROM có lẽ không thích hợp vì dữ liệu chỉ có thể nạp được một lần, điều này không tiện cho công tác nghiên cứu của sinh viên do mỗi lần thử nghiệm lại phải thay thế một PROM mới. Hơn nữa hiện nay xu thế của các nhà sản xuất chỉ cung cấp loại bộ nhớ theo đơn đặt hàng của các công ty, xí nghiệp sản xuất, tại đó các chương trình điều khiển tự động đã được các nhà chuyên môn kiểm tra hồn chỉnh trước khi nạp vào bộ nhớ.
 - + Sử dụng EPROM, với đặc điểm có thể ghi xóa được nhiều lần đáp ứng được công việc nghiên cứu thử nghiệm chương trình điều khiển. Bên cạnh đó nó dễ tìm thấy trên thị trường, giá cả lại phù hợp với sinh viên.
- Đối với việc lựa chọn RAM:
 - + DRAM: dữ liệu được lưu trữ dưới dạng điện tích trong điện dung ký sinh nên rất dễ thất thoát bởi hiện tượng rò rỉ. Chính vì thế đối với DRAM để bảo tồn dữ liệu trong cấu trúc, ngoài các mạch giải mã ô nhớ thông thường chúng còn có thêm mạch làm tươi (refresh) nhằm duy trì điện tích trong các điện dung ký sinh. Điều này dẫn đến cần phải có các tín hiệu điều khiển từ bên ngoài phục vụ cho tác vụ này. Đây chính là hạn chế khi sử dụng DRAM.

+ SRAM lưu trữ dữ liệu theo nguyên tắc hoạt động của Flip-flop D, sự ổn định theo thời gian khá bền vững không cần có các mạch hỗ trợ thêm bên ngoài nên thiết kế rất đơn giản. Mặc dù dung lượng nhỏ, nhưng vẫn có thể đáp ứng được yêu cầu nghiên cứu của sinh viên.

Từ những lý do nêu trên cùng với yêu cầu không lớn lắm của đề tài, người thực hiện quyết định chọn EPROM và SRAM làm bộ nhớ cho hệ thống.

Vấn đề cuối cùng đặt ra là chọn dung lượng bộ nhớ. Đối với đề tài này dung lượng mỗi loại cỡ 2Kbyte là đủ. Tuy nhiên vì đây là mạch thi công phục vụ cho công tác học tập nghiên cứu, chương trình ứng dụng có thể thay đổi lớn nhỏ và lại sử dụng những linh kiện có sẵn nên người thực hiện dùng bộ nhớ 8Kbyte cho đề tài như sau: EPROM (2764), SRAM (6264).

2- Thiết kế mạch bộ nhớ :

Theo phân tích trên, chúng ta chọn 1 EPROM 8Kbyte và 1 SRAM 8Kbyte. Vấn đề tiếp theo là kết nối chúng với hệ thống như thế nào. CPU Z-80 đưa ra 3 hệ thống Bus nhằm giao tiếp và làm việc với các linh kiện trong mạch.

a- Các chân thuộc tuyến dữ liệu (Data Bus):

Vì đây là hệ thống vi xử lý 8 bit nên có 8 đường dữ liệu song hành trên Bus. Chúng sẽ được đưa tới 8 chân dữ liệu của 2 IC nhớ. Lúc này xem như ROM và RAM được mắc song song trên tuyến dữ liệu. Ở đây không xảy ra hiện tượng xung đột trên Bus vì tại một thời điểm CPU chỉ làm việc với một linh kiện bên ngoài, những linh kiện còn lại các đường dữ liệu được khóa chế ở trạng thái tổng trở cao (high impedance).

b- Các chân địa chỉ (Address Bus):

Đây là hệ thống Bus thứ hai trong hệ thống vi xử lý, được cấu tạo gồm 16 tuyến song hành để có thể làm việc với 640 Kbyte bộ nhớ, nhưng trong hệ thống của chúng ta chỉ có 16 Kbyte (thực chất là 8 Kbyte mắc song song) nên chúng ta dùng 13 bit thấp của Bus dữ liệu để định vị các ô nhớ trong ROM và RAM. Như vậy 13 đồng địa chỉ thấp từ A0 – A12 của CPU sẽ được nối trực tiếp với 13 chân địa chỉ của cả ROM lẫn RAM, các chân địa chỉ còn lại A13 – A15 sẽ đề cập sau vì chúng có liên quan đến các tín hiệu điều khiển.

c- Các chân mang tín hiệu điều khiển:

Cả ROM lẫn RAM đều có chung tác vụ đọc dữ liệu đang được lưu trữ trong bộ nhớ. Tác vụ này được điều khiển bởi chân (Output Enable) cho phép xuất. Khi có yêu cầu đọc bộ nhớ chân này sẽ được tác động và dữ liệu tại địa chỉ được yêu cầu sẽ đưa ra Bus dữ liệu. Yêu cầu đó sẽ được tác động bởi chân RD (read) của CPU. Như vậy để thực hiện thao tác đọc bộ nhớ, chân RD của CPU phải nối với chân OE của ROM và RAM. Tương tự cho tác vụ viết vào bộ nhớ (Write), chân WR sẽ được nối với chân WE (Write

Enable) của RAM và chân PGM của ROM. Chân -CS (Chip Select) hay chân -CE (chip Enable) được điều khiển thông qua tổ hợp các bit còn lại của Bus địa chỉ và tín hiệu MEMRQ của CPU nhờ mạch giải mã địa chỉ.

IV-THIẾT KẾ MẠCH GIAO TIẾP NGOẠI VI

Vi xử lý không thể giao tiếp trực tiếp với bên ngoài mà phải thông qua bộ giao tiếp ngoại vi. Do đó dựa vào yêu cầu của từng hệ thống chúng ta sẽ chọn linh kiện phù hợp.

1- Phân tích yêu cầu hệ thống – chọn linh kiện:

Yêu cầu hệ thống chúng ta như phân phân tích ở trên cần tối thiểu 3 cổng (Port) dùng cho: bộ hiển thị, bàn phím và thiết bị ngoại vi. Linh kiện sử dụng cần phải thỏa một số yêu cầu:

- Không xung đột Bus trong quá trình làm việc.
- Đơn giản trong thiết kế phần cứng, linh hoạt trong điều khiển phần mềm.
- Có đầy đủ tài liệu tra cứu.
- Thông dụng trên thị trường.

Hiện nay có hai nhóm linh kiện có thể đáp ứng được yêu cầu trên:

+ Nhóm không chuyên: chủ yếu là các IC được thiết kế cho công tác đệm và chốt dữ liệu trên các Bus hệ thống. Mỗi IC có thể quản lý 8 bit trên hệ thống Bus, tổ hợp vài IC trong nhóm này có thể đóng vai trò như một cổng. Có thể kể ra một vài IC như: 74240, 74244, 74245. . .

+ Nhóm chuyên dụng: gồm các IC chuyên dùng cho giao tiếp với thiết bị ngoại vi. Chúng có thể đảm nhận hầu hết công tác trao đổi dữ liệu giữa CPU và thiết bị ngoại vi. Các vi mạch thường dùng nhất là PPI 8255A (Intel), MC 6821 (Motorola).

Từ yêu cầu hệ thống người thực hiện chọn vi mạch PPI D8255A (Programmable Peripheral Interface) cho thiết kế mạch vì đây là vi mạch giao tiếp có đệm dữ liệu, có 3 Port ta có thể khởi tạo vào ra, được điều khiển bằng phần mềm (PPI) nên rất linh hoạt. Đồng thời vi mạch này rất thông dụng và có trên thị trường.

2- Thiết kế mạch giao tiếp:

Trong hệ thống này người thực hiện dùng một vi mạch D8255A cho bàn phím, bộ hiển thị và thiết bị ngoại vi. Địa chỉ giải mã từ 00H – 03H, dùng chân IORQ để giải mã nên D8255A chỉ chịu tác dụng bởi nhóm lệnh IN, OUT và 8 bit địa chỉ thấp của CPU.

V-THIẾT KẾ MẠCH GIẢI MÃ ĐỊA CHỈ:

1- Phân tích yêu cầu hệ thống – chọn linh kiện:

Tất cả các linh kiện xung quanh CPU được nối song song vào Bus dữ liệu và Bus địa chỉ, dẫn đến vấn đề là với một địa chỉ trên Bus địa chỉ sẽ có

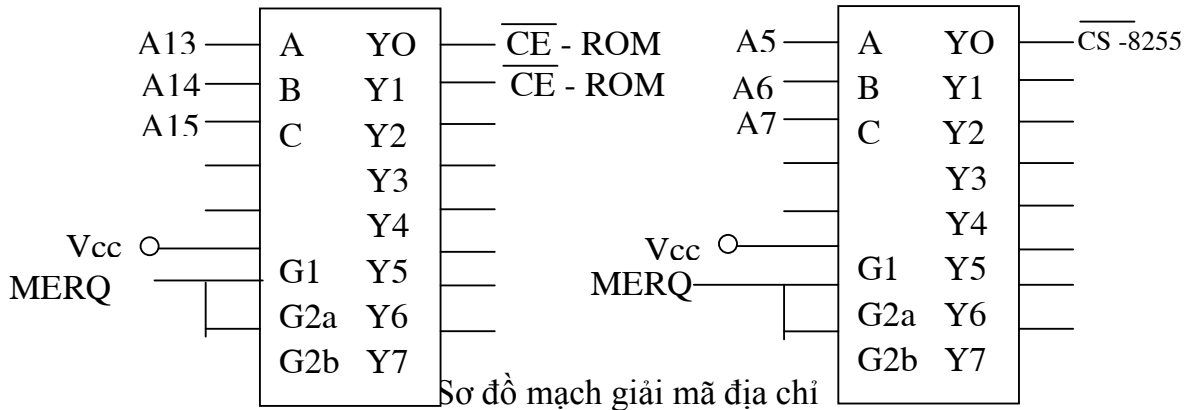
nhiều linh kiện cùng được chọn. Do đó cần phải có một mạch giải mã để sao cho với một giá trị trên Bus địa chỉ chỉ có một linh kiện được chọn mà thôi.

Với hệ thống này sử dụng những bit cao của Bus địa chỉ chưa dùng, chân MERQ, IORQ để giải mã định vị các vùng nhớ và cổng 8255.

Có nhiều loại IC giải mã, ở đây chúng em chọn IC 74LS138.

2- Thiết kế mạch giải mã:

Mạch được thiết kế dùng 2 IC 74LS138, sơ đồ mạch như sau:



- Với IC 74LS138 thứ nhất dùng giải mã cho lệnh LD được nối vào 3 đường địa chỉ A13, A14, A15 và chân MERQ của CPU.
- Với IC74LS138 thứ hai dùng giải mã cho nhóm lệnh IN, OUT được nối với 3 đường địa chỉ A5, A6, A7 và chân IORQ của CPU.

VI-THIẾT KẾ BỘ HIỂN THỊ VÀ BÀN PHÍM

Với mục đích thiết kế hệ thống ứng dụng vi xử lý trong tự động điều khiển nhất thiết phải có bộ hiển thị và bàn phím. Bộ hiển thị giúp cho người sử dụng kiểm tra chương trình điều khiển hoặc có thể dùng làm nơi thông báo các kết quả thu nhận được từ một tín hiệu điều khiển nào đó. Với bàn phím là nơi chúng ta nhập các chương trình thử nghiệm vào RAM trước khi nạp chính thức vào ROM, đồng thời gọi các chương trình điều khiển mạch.

1- Bộ hiển thị:

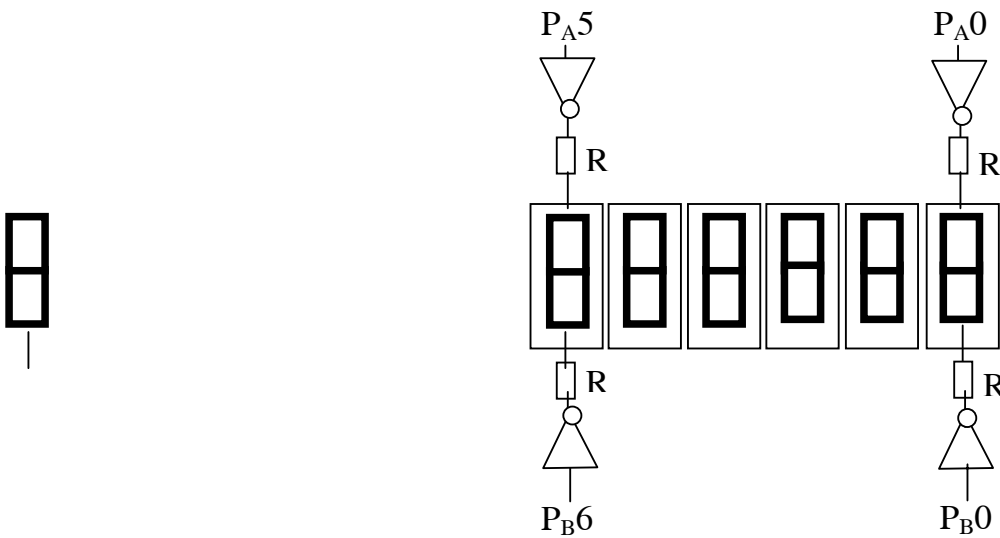
Bộ hiển thị của hệ thống KIT Z80 phải thỏa các tiêu chuẩn:

- Đảm bảo tính trực quan.
- Có khả năng hiển thị 16 số trong hệ số HEX.
- Có thể trình bày cùng lúc địa chỉ và nội dung địa chỉ tương ứng.
- Mạch đơn giản và hiệu quả.

Bộ hiển thị led 7 đoạn có thể đáp ứng được các tiêu chuẩn trên rất phổ biến trên thị trường và giá thành chấp nhận được. Vì vậy chọn led 7 đoạn dùng cho mạch hiển thị.

Bộ hiển thị được thiết kế gồm 6 led 7 đoạn kiểu Anode chung để hiển thị các kết quả về số tiền và chiều dài quãng đường (Km). Ở đây ta sử dụng

6 bit của cổng A ($P_{A0} - P_{A5}$) để mở Anod và 7 bit của cổng B ($P_{B0} - P_{B6}$) mở các phân đoạn của Led. Các cổng này được nối với Led hiển thị qua các cổng đệm vi mạch 7414 và mạch hiển thị được trình bày theo nguyên tắc quét. Theo đó 6 đèn sẽ được quét tuần tự với một tần số nào đó. do tính chất lưu ảnh của mắt mà ta thấy dường như các đèn đều sáng khi đó các thanh cùng tên của các đèn được nối với nhau, khi muốn một đèn sáng ta phải mở Anod lẫn Cathod cho nên khi ta mở thì cũng chỉ có riêng đèn đó sáng còn các đèn khác thì không, khi đã mở đến đèn cuối cùng ta quay lại đèn thứ nhất. Như vậy phần cứng của bộ hiển thị rất sẽ đơn giản chỉ cần một cổng đảo mắc tại Anod chung và một cổng đảo có điều khiển mắc tại các thanh cùng tên nối chung và công việc còn lại sẽ do phần mềm đảm nhận.



Hình B. 6: Sơ đồ mạch hiển thị

- Đối với việc đọc số tiền thì đèn đầu tiên sẽ biểu thị cho giá trị hàng trăm ĐVN.
- Đối với việc đọc số Km thì đèn đầu tiên sẽ biểu thị cho giá trị bắt đầu từ hàng trăm mét.
- Đèn thứ nhất bên phải được sử dụng để hiển thị Mode hoạt động.

2- Bàn phím:

Bàn phím đơn thuần là thiết bị cơ khí hay cụ thể nó là một công tắc thường hở, do vậy yêu cầu đặt ra cho thiết bị này là độ bền cơ học bởi chúng thường xuyên chịu tác động trong quá trình sử dụng.

Do yêu cầu mạch thiết kế chỉ sử dụng 4 phím chức năng nên ở đây ta sử dụng phương pháp nối chung tất cả các chân thứ nhất của công tắc lại với nhau và nối lên mức logic 1 và V_{CC} qua các điện trở hạn dòng đồng thời đưa đến chân P_{C0} . Các chân còn lại sẽ đưa đến 4 bit của cổng B là $P_{B0} - P_{B3}$.

Nguyên tắc này tỏ ra đơn giản và thuận lợi đối với những mạch được thiết kế chỉ vài phím chức năng như đề tài, đồng thời đạt độ tin cậy cao do phím nhấn chỉ được nhận dạng qua hai mức logic 0 và 1 ứng với trạng thái nhấn và không nhấn phím. Dữ liệu này sẽ được gửi đến CPU để thi hành lệnh tương ứng.

Việc quét phím và nhận biết chức năng của từng phím được kiểm soát bằng phần mềm qua cổng B và C của 8255.

Tính toán các điện trở hạn dòng của bàn phím.

$$R = 5v/40\mu A = 12.5K\Omega$$

Chọn $R = 10K\Omega$

Vật điện trở treo lên mức 1 khi dò phím ta chọn $R = 10K\Omega$

Các phím chức năng được thiết kế bao gồm:

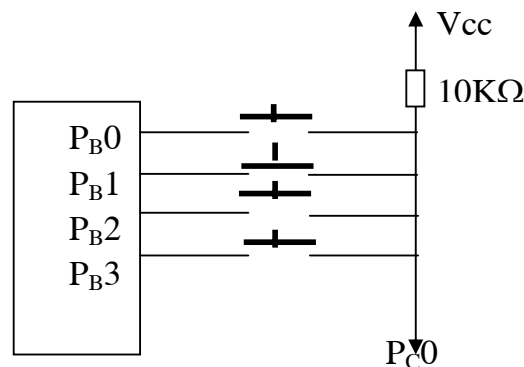
+ Phím “Start” là phím thực hiện chức năng bắt đầu việc tính cước phí cho một cuộc chạy.

+ Phím “Stop” là phím chấm dứt việc tính tiền.

+ Phím “Vacant” là phím thực hiện việc tính quãng đường mà xe chạy không khách.

+ Phím “Mode” là phím dùng để chọn lựa các thông báo:

1. Hiện thị tổng số tiền.
2. Hiện thị tổng số Km chạy có khách.
3. Hiện thị tổng số Km chạy không khách.



Hình B. 7: Sơ đồ bàn phím

VII-THIẾT KẾ MẠCH TẠO TÍN HIỆU TỐC ĐỘ:

Việc thiết kế mạch tạo tín hiệu tốc độ là một phần quan trọng trong toàn bộ hệ thống. Nó cung cấp tín hiệu đầu vào cho bộ vi xử lý thực hiện việc tính cước và cảnh báo tốc độ. Do đó việc thiết kế phải đáp ứng được vấn đề kỹ thuật, tức là bảo đảm cung cấp tín hiệu liên tục và đúng yêu cầu.

Theo thực tế, nguyên lý do tốc độ ta đã khảo sát ở chương 1 thì tín hiệu tốc độ được tạo ra bởi cảm biến tốc độ đặt ở trục thứ cấp của hộp số.

Tín hiệu này được cho qua bộ vi xử lý rồi đưa đến đồng hồ tốc độ, đồng thời bộ tính cước xe Taxi cũng sử dụng tín hiệu này để thực hiện việc tính cước. Do đó việc thiết kế mạch tạo tín hiệu tốc độ riêng cho mạch cảnh báo và tính cước xe taxi là không thực tế.

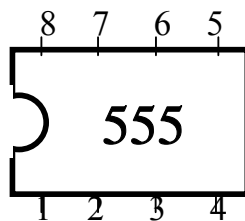
Tuy nhiên, do đề tài có thi công nhưng chỉ ở dạng mô phỏng gần thực tế nên để thuận tiện và dễ dàng cho việc thi công nhằm tạo ra cho việc tín hiệu tốc độ cung cấp cho mạch xử lý. Người thực hiện sẽ thiết kế một mạch tạo xung vuông (mạch đơn ổn) dùng vi mạch định thời tích hợp 555. Đây là vi mạch định thời phổ biến nhất, nó được dùng như một mạch định thời, tạo xung, biến điệu khổ rộng xung (PWM), phát hiện sóng xung, v.v. . .

1- Một số đặc điểm của IC 555:

- Định giờ từ vài micro giây đến hàng giờ.
- Hoạt động như cách phi ổn hoặc đơn ổn.
- Chu trình làm việc thay đổi được.
- Khả năng dòng ra lớn, có thể cung cấp hay nhận dòng 200mA.
- Hoạt động với khoảng điện thế rộng từ 4.5v ÷ 16v
- Ngõ ra tương hợp TTL (khi nguồn cấp điện là 5v).
- Độ ổn định nhiệt độ là 0.005% cho mỗi $^{\circ}\text{C}$.

Sơ đồ chân:

Với:



- Chân 1: GND – nối đất
- 2: Nảy (trigger)
- 3: Ra (out)
- 4: Reset
- 5: Điện thế điều khiển
- 6: Thêm (threshold)
- 7: Xả (discharge)
- 8: Nguồn Vcc

Hình B. 8: Sơ đồ chân IC555

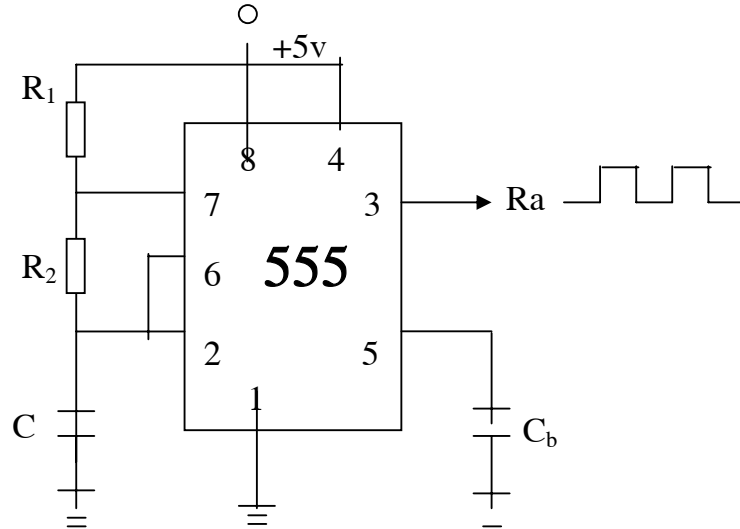
- Khi thiết kế mạch tạo xung 555 cần lưu ý những vấn đề sau

a- Những thông số giới hạn cho phép:

- Tụ điện: Tối thiểu $C \geq 500\text{pF}$ ($5 \times 10^{-10}\text{F}$)
Tối đa $C \leq 1000\mu\text{F}$ (do giới hạn bởi sự rỉ của tụ)
- Điện trở: $R = R_1 + R_2$ Tối đa $3.3\text{M}\Omega$ (cũng có thể lớn hơn tùy loại IC)
Tối thiểu khoảng $1\text{K}\Omega$
Với những giới hạn trên thì tần số tạo nên không quá 1MHz

b- Chức năng một số chân của IC 555

Ngõ vào Reset (chân 4) có thể dùng để giữ ngõ ra của IC555 ở mức thấp hay ngưng xung ra khi đã bắt đầu. Muốn vậy chỉ cần đưa ngõ Reset xuống mass. Nếu hai ngõ này và Reset nối chung nhau mạch sẽ nảy ở cạnh lên thay vì ở cạnh xuống. Bình thường ta phải nối ngõ Reset lên nguồn Vcc để tránh nhiễu.



Hình B. 9: Sơ đồ mạch tạo xung

IC555 còn có ngõ vào điện thế điều khiển (controlvoltage), bình thường ta để hở ngõ này nhưng để tăng sự ổn định của mạch ta dùng một tụ (.01 ÷ .1μF) nối rẽ giữa ngõ này với mass.

Mạch 555 tạo ra xung vuông nhờ sự nạp, xả liên tục của tụ C

Theo đó ta có:

- Thời gian tụ nạp $T_1 = 0.693(R_1 + R_2)C$
- Thời gian tụ xả $T_2 = 0.693R_2C$
- Chu kỳ của dạng sóng vuông ra:

$$T = T_1 + T_2 = 0.693(R_1 + 2R_2)C$$

- Tần số của dạng sóng vuông ra:
 $f = 1/T = 1.44 / (R_1 + 2R_2)C$

2- Tính toán và lựa chọn linh kiện:

Do yêu cầu thiết kế cần tạo ra một khoảng tần số đủ rộng để dễ điều chỉnh và theo dõi khi hoạt động, nên tần số thiết kế cho mạch tạo xung làm tín hiệu tốc độ được thực hiện trong khoảng $10\text{Hz} < f \leq 100\text{Hz}$.

- Ở tần số 100Hz ta có:

$$\text{Tần số sóng vuông ra : } f = 1/T = 1,44 / (R_1 + 2R_2)C = 100\text{Hz}$$

$$\text{Chọn } C = 1\mu\text{F}$$

$$R_1 = 5\text{K}\Omega \text{ (Thực tế } R_1 = 5\text{K}\Omega + 0)$$

$$\text{Suy ra : } 2R_2 = (1,44 / 100.C) - R_1 = 9.4\text{K}\Omega.$$

$$\text{Hay } R_2 = 4.7\text{K}\Omega$$

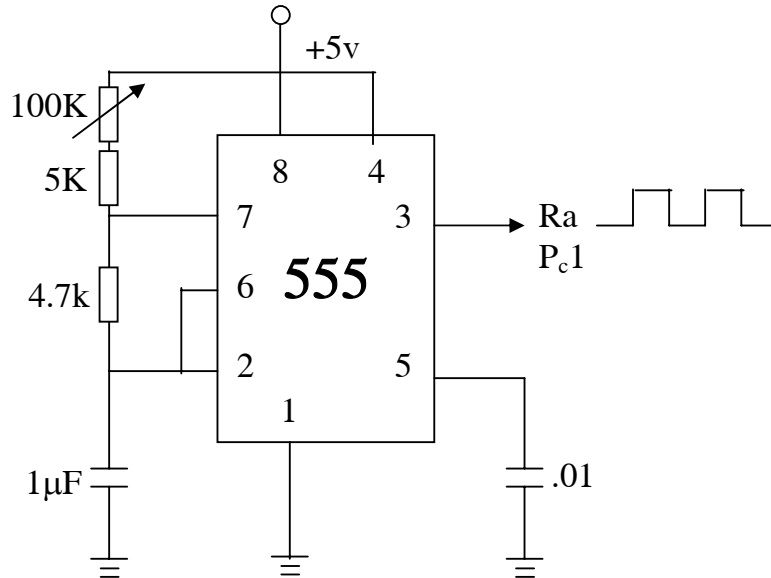
Để có dãy tần số thay đổi được từ $> 10\text{Hz} - 100\text{Hz}$ thì R_1 được chọn là một biến trở $100\text{K}\Omega$ nối tiếp với một điện trở $5\text{K}\Omega$.

Khi đó ta có:

$$R_1 = R_1 + R_1 = 100 + 5 = 105\text{K}\Omega$$

Với $C = 1\mu\text{F}$ và $R_2 = 4.7\text{K}\Omega$.

$$\Rightarrow f = 1/T = 1,44/(R_1 + 2R_2)C = 1,44/(114,4 \cdot 10^3 \cdot 10^{-6}) = 12.5\text{Hz}.$$



Hình B. 10 : Sơ đồ mạch tạo tín hiệu tốc độ

Như vậy với những giá trị đã tính được sẽ cho ta chuỗi xung vuông có tần số chỉnh định được từ $12.5\text{Hz} - 100\text{Hz}$. Xung ra sẽ được đưa đến P_{c1} của bộ vi xử lý.

VIII-THIẾT KẾ MẠCH CẢNH BÁO:

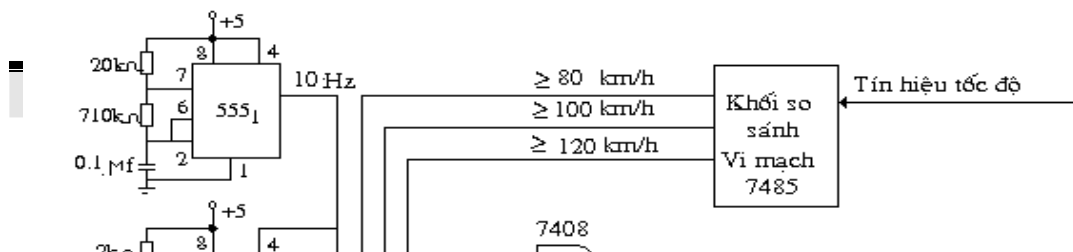
Mạch cảnh báo tốc độ được thiết kế chung cho các xe ô tô đều không nằm ngoài mục đích bảo đảm an toàn tính mạng cho người sử dụng xe.

1- Sơ đồ mạch:

Mạch cảnh báo sử dụng tín hiệu tốc độ đã xử lý để đưa về bộ so sánh, so sánh với tốc độ cài đặt rồi đưa tín hiệu đó đến loa cảnh báo.

* Hoạt động:

Tín hiệu tốc độ được đưa đến bộ so sánh gồm ba vi mạch 7485 đã được cài đặt sẵn cấp so sánh. Khi tín hiệu đạt đến tốc độ 80km/h thì một tín hiệu điện áp được xuất ra ngõ ra của vi mạch 7485, nhờ các cổng logic mà một tần số được lựa chọn là 500Hz sẽ xuất ra loa làm cho loa phát ra một tần số âm thanh là 500Hz . Tương tự cho các trường hợp tốc độ đạt 100km/h và 120km/h thì tần số cảnh báo tương ứng xuất ra loa sẽ là 2KHz và 5KHz . Trong quá trình hoạt động mạch sẽ bị Reset ở tần số 10Hz phát ra bởi IC 555₁.



2-Tính toán và lựa chọn linh kiện:

- Các tần số cảnh báo được tạo bởi các mạch định giờ 555. Các mạch định giờ 555 này sẽ lần lượt tạo ra các tín hiệu dao động ở tần số: 10Hz, 500Hz, 2Hz, 5Hz.

Từ tần số xác định trước, dựa vào công thức sau

$$F = 1/T = 1.44/(R_1 + 2R_2)C$$

Ta lần lượt xác định được các giá trị R và C cho ở hình vẽ B. 11

Với:

555₁: Tạo ra tần số 10Hz để reset 3 mạch dao động cảnh báo.

555₂: Tạo ra tần số cảnh báo 5KHz khi tốc độ $\geq 120\text{Km/h}$

555₃: Tạo ra tần số cảnh báo 2KHz khi tốc độ $\geq 100\text{Km/h}$

555₄: Tạo ra tần số cảnh báo 500Hz khi tốc độ $\geq 80\text{Km/h}$

- Các cổng logic And, Nor, Not để tạo nên mạch chọn tín hiệu xuất ra loa cảnh báo.
- Bộ so sánh dùng vi mạch 7485.

Việc thiết kế mạch cảnh báo trên đơn giản, linh kiện dễ kiếm trên thị trường. Nhưng để gọn nhẹ trong quá trình thi công và để tận dụng hết khả năng của KIT.Z80 ta chỉ sử dụng một loa cảnh báo gắn trực tiếp lên ngõ ra của KIT còn tín hiệu ra điều khiển loa sẽ được thiết kế bởi phần mềm. Theo đó tần số được người thực hiện lựa chọn cài đặt là ba cấp dao động: 200Hz, 400Hz, 600Hz. Đây là dãy tần số mà tai người có thể phân biệt rõ ràng.

Tóm lại: Người thực hiện vừa trình bày công việc thiết kế toàn bộ hệ thống, với bộ vi xử lý trung tâm là CPU Z80. Bộ vi xử lý này sẽ giải quyết những chương trình được nạp trong EPROM. Từ đó chi phối toàn bộ hoạt động của hệ thống, thực hiện quá trình xử lý tín hiệu tốc độ vào từ mạch tạo xung rồi xuất ra bộ hiển thị số tiền và số quãng đường đã thực hiện đồng thời xử lý luôn cả quá trình cảnh báo tốc độ. Chương trình được nạp trong EPROM giúp cho mạch thi công đơn giản và đạt được sự mềm dẻo. Khi có yêu cầu cài đặt lại số tiền và cấp cảnh báo khác ta chỉ việc thay đổi trên phần mềm trước khi nạp vào EPROM. Với yêu cầu của đề tài thì việc thiết kế hệ thống KITZ80 đã tỏ ra ưu việt hơn hệ thống mạch số nhờ có khả năng tính toán các giá trị không tuyến tính đồng thời lưu lại được kết quả về số tiền và quãng đường mà hệ thống đã xử lý được. Điều này giúp cho cơ quan chủ quản dễ quản lý hoạt động của người sử dụng phương tiện.

C- THIẾT KẾ PHẦN MỀM

Một hệ thống vi xử lý sau khi được thiết kế phần cứng muốn làm việc được thì phải có phần mềm điều khiển. Chương trình phần mềm càng chặt chẽ, linh hoạt thì hệ thống hoạt động càng chính xác.

Lập trình là thực hiện một chương trình với một ngôn ngữ nào đó để điều khiển cách xử lý dữ liệu theo từng yêu cầu cụ thể của vấn đề. Do đó, bên cạnh sự hiểu biết về cơ chế hoạt động của máy tính, người lập trình cần phải nắm vững cách tổ chức dữ liệu và cách xử lý còn gọi là giải thuật.

Hiện nay có 2 phương pháp lập trình thông dụng là phương pháp lập trình tuần tự và phương pháp lập trình cấu trúc.

- **Phương pháp lập trình tuần tự :**

Phương pháp này CPU sẽ đọc tuần tự các chỉ thị chương trình từ địa chỉ thấp đến địa chỉ cao và thực hiện chúng cho đến địa chỉ cuối cùng. Ưu điểm của phương pháp này là người đọc rất dễ theo dõi chương trình và nắm được ý đồ của người thực hiện. Tuy nhiên lại có nhược điểm là kích thước chương trình lớn.

- **Phương pháp lập trình có cấu trúc:**

Theo phương pháp này những đoạn thường xuyên lặp lại trong chương trình người ta đem chúng ra khỏi chương trình và đặt chúng như một chương trình con. khi thi hành đến đoạn chương trình này CPU sẽ nhảy đến địa chỉ xác định của chương trình đó để thực hiện tác vụ. Để quá trình làm việc không bị gián đoạn ta dùng lệnh quay về (RET) khi đó CPU sẽ quay về chương trình chính. Phương pháp này tỏ ra hiệu quả trong việc giảm kích thước chương trình và thuận tiện cho người viết và nó được người thực hiện sử dụng trong tập đồ án.

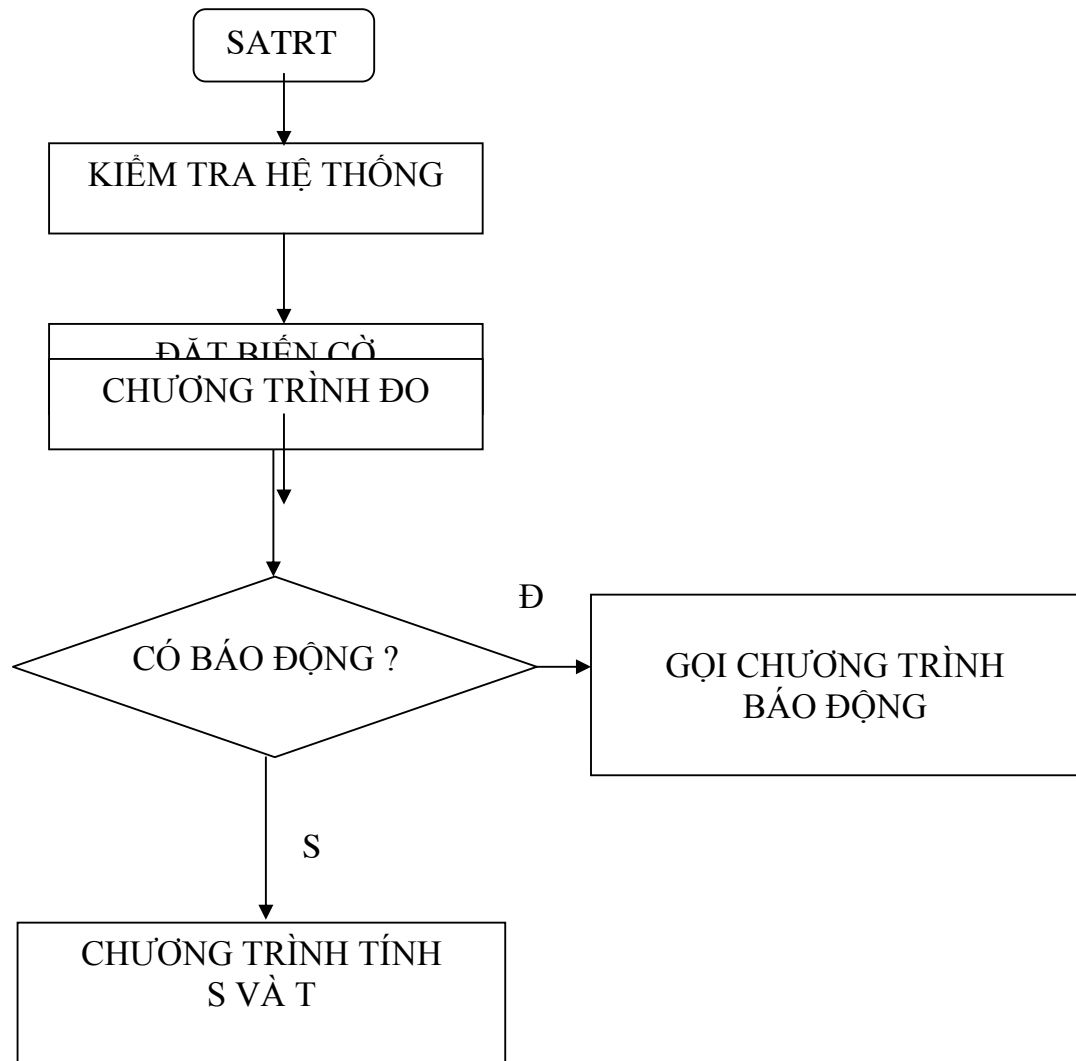
I- **LƯU ĐỒ KHỐI CHƯƠNG TRÌNH :**

Lưu đồ khối là một bước khái quát hóa quá trình thực hiện của một chương trình. Nó lược đi những chi tiết để làm nổi bật nội dung chính của chương trình. Qua đó nó thể hiện ý đồ của người thiết kế.

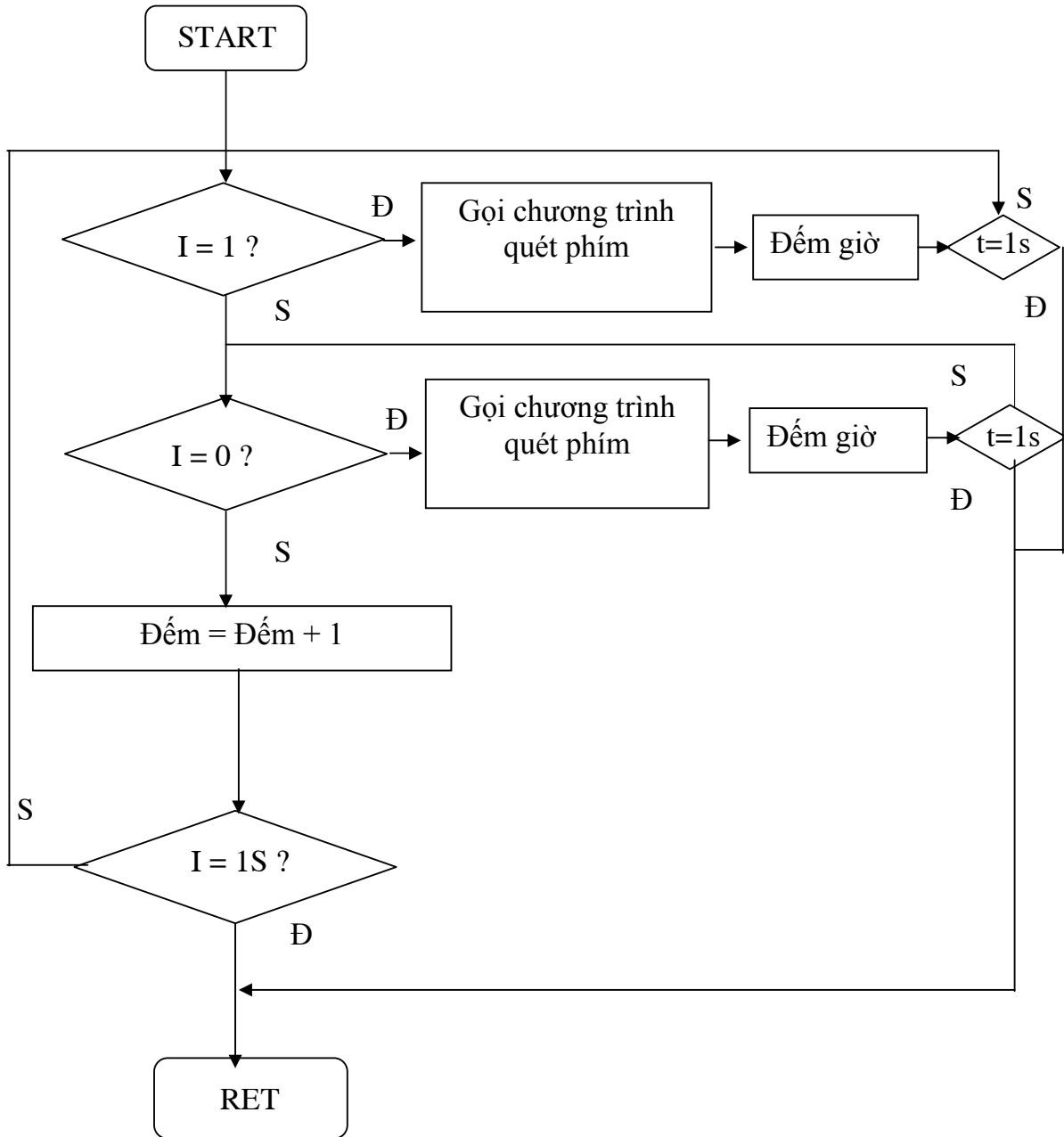
Chương trình được người thực hiện xây dựng bằng tập lệnh của CPU Z80. Kết hợp với những số liệu ban đầu được lựa chọn cài đặt là:

- Số tiền cho km đầu là 5.000ĐVN
- 200m tiếp theo là 1000 ĐVN.
- Sau 28 km : 2800ĐVN/km.
- Tần số cảnh báo
- Khi số xung >80 xung/s: Tần số cảnh báo được thực hiện 600Hz.
- Khi số xung >60 xung/s : Tần số cảnh báo được thực hiện 400Hz.
- Khi số xung <60 xung/s: Tần số cảnh báo được thực hiện 200Hz.

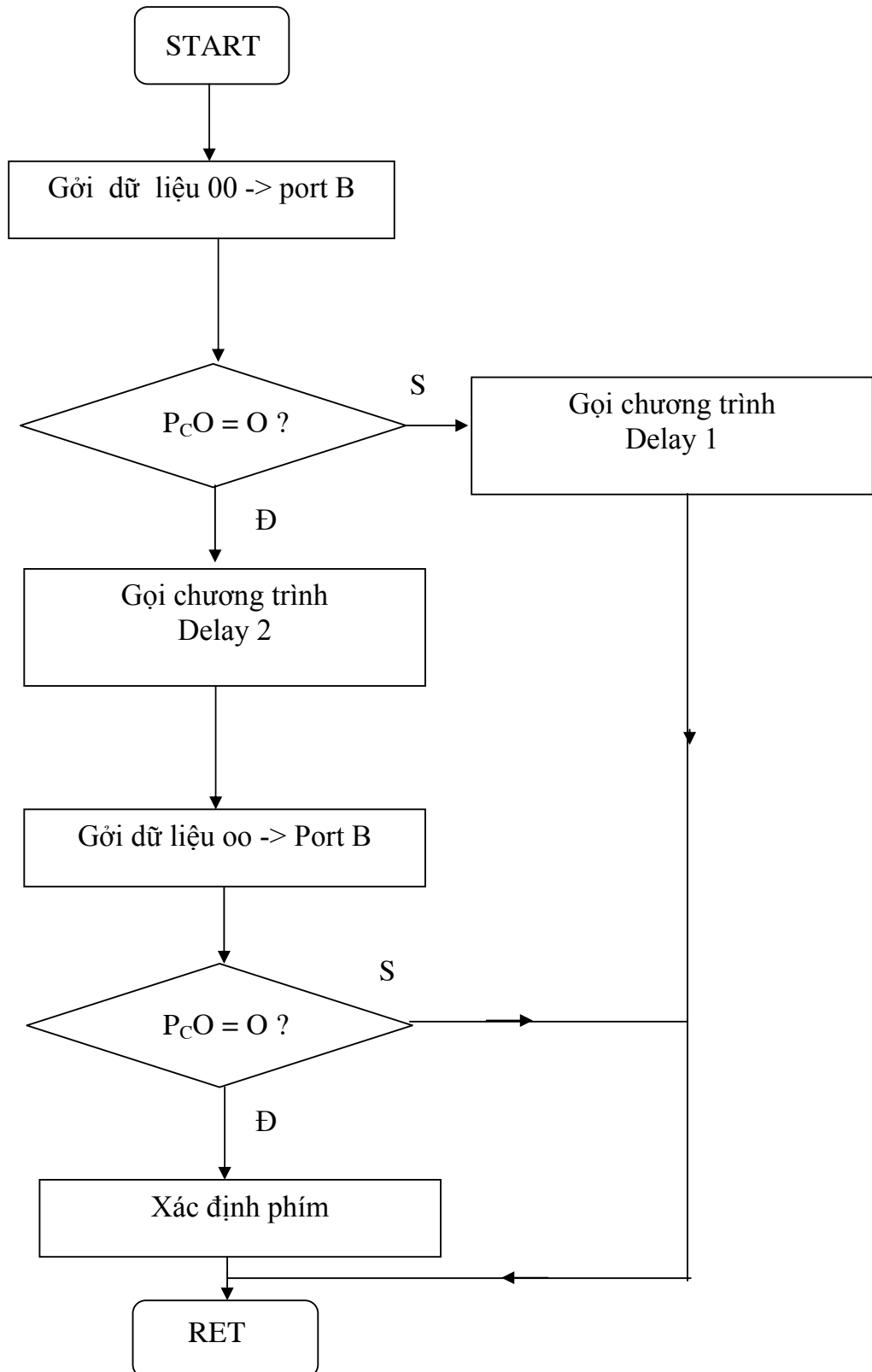
• **LƯU ĐỒ KHỐI LƯỢNG TRÌNH CHÍNH**



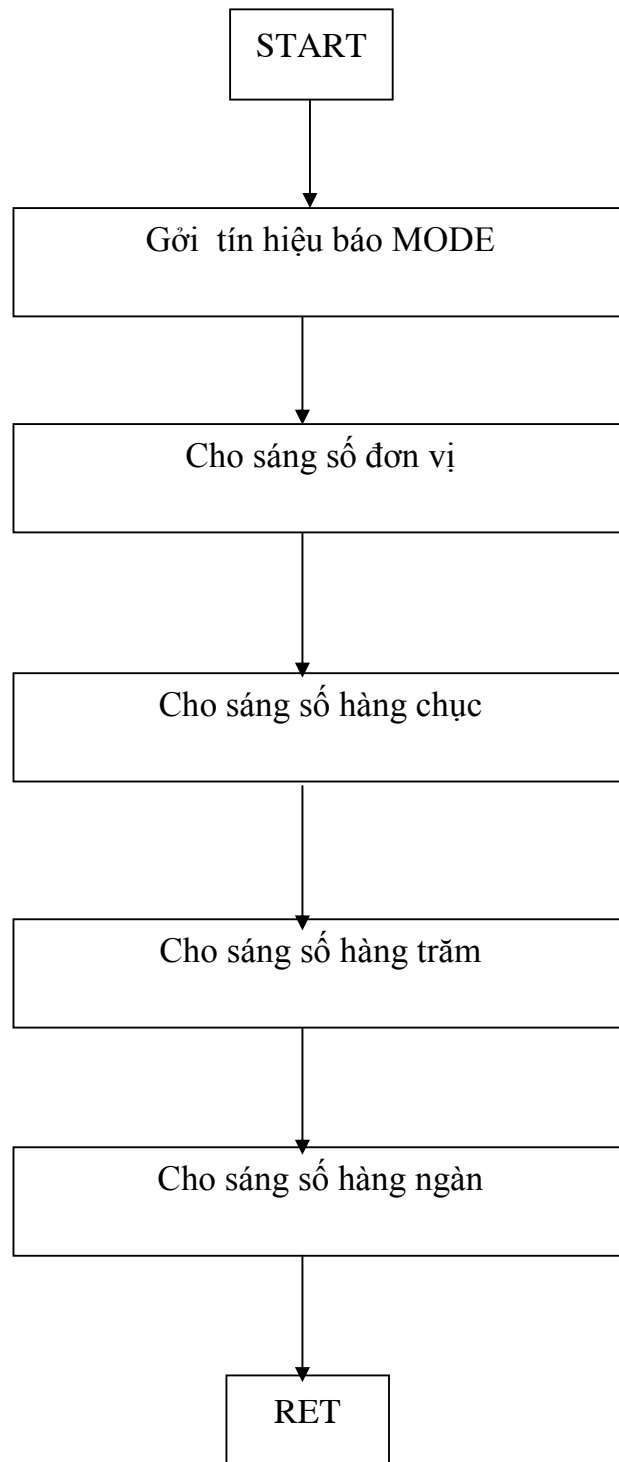
LƯU ĐỒ KHỞI CHƯƠNG TRÌNH ĐO



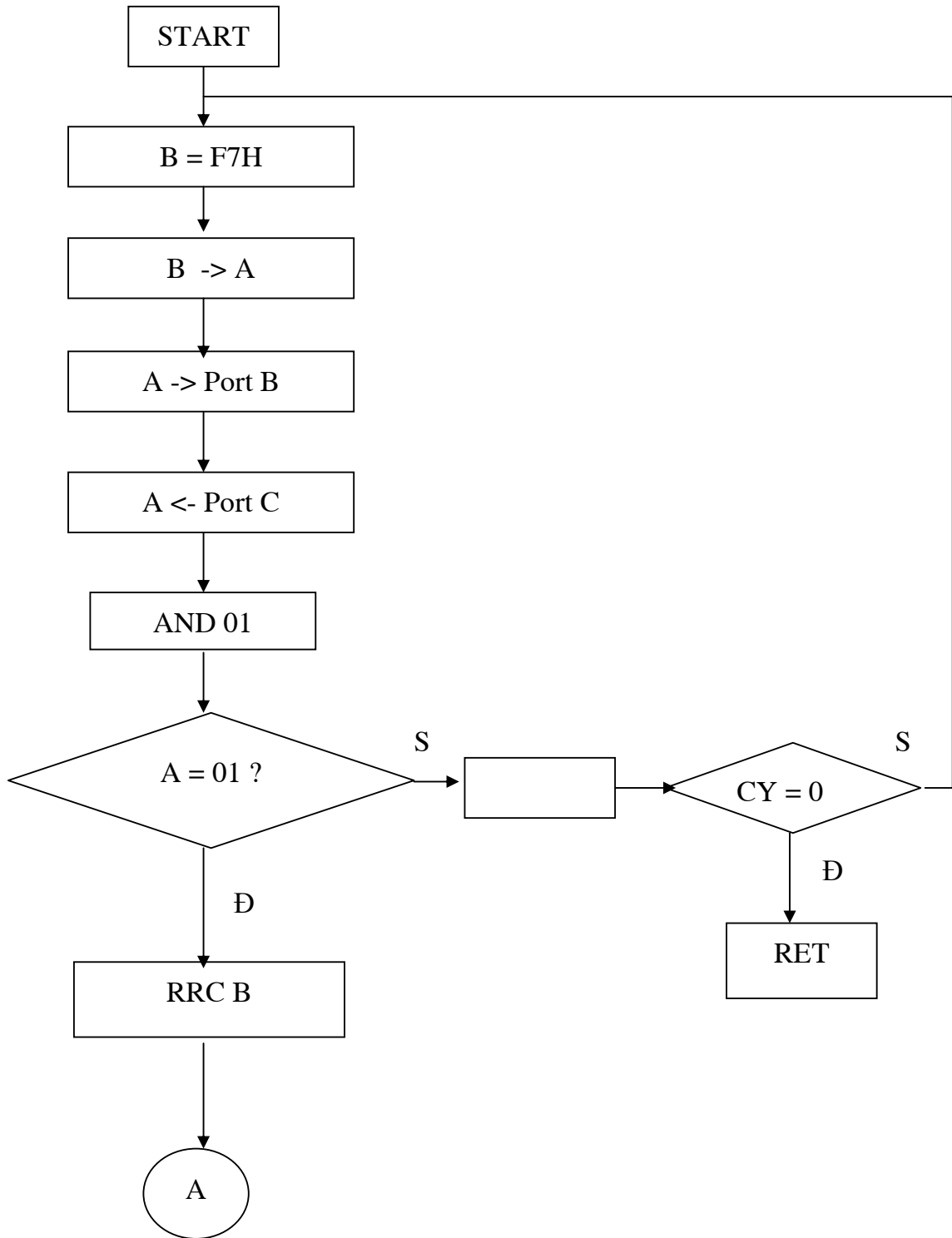
LƯU ĐỒ KHỞI CHƯƠNG TRÌNH QUÉT PHÍM

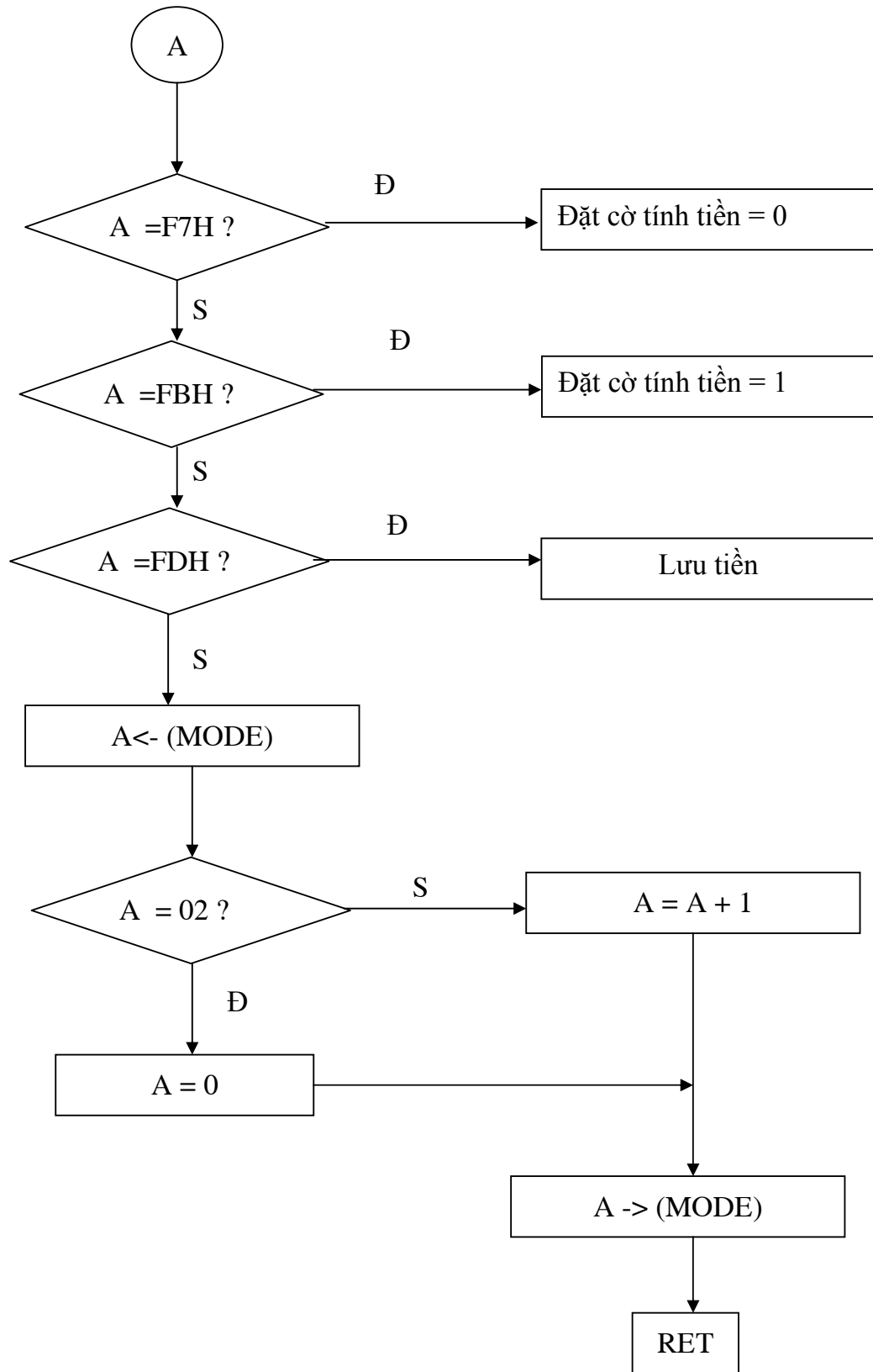


- CHƯƠNG TRÌNH DELAY 1.2

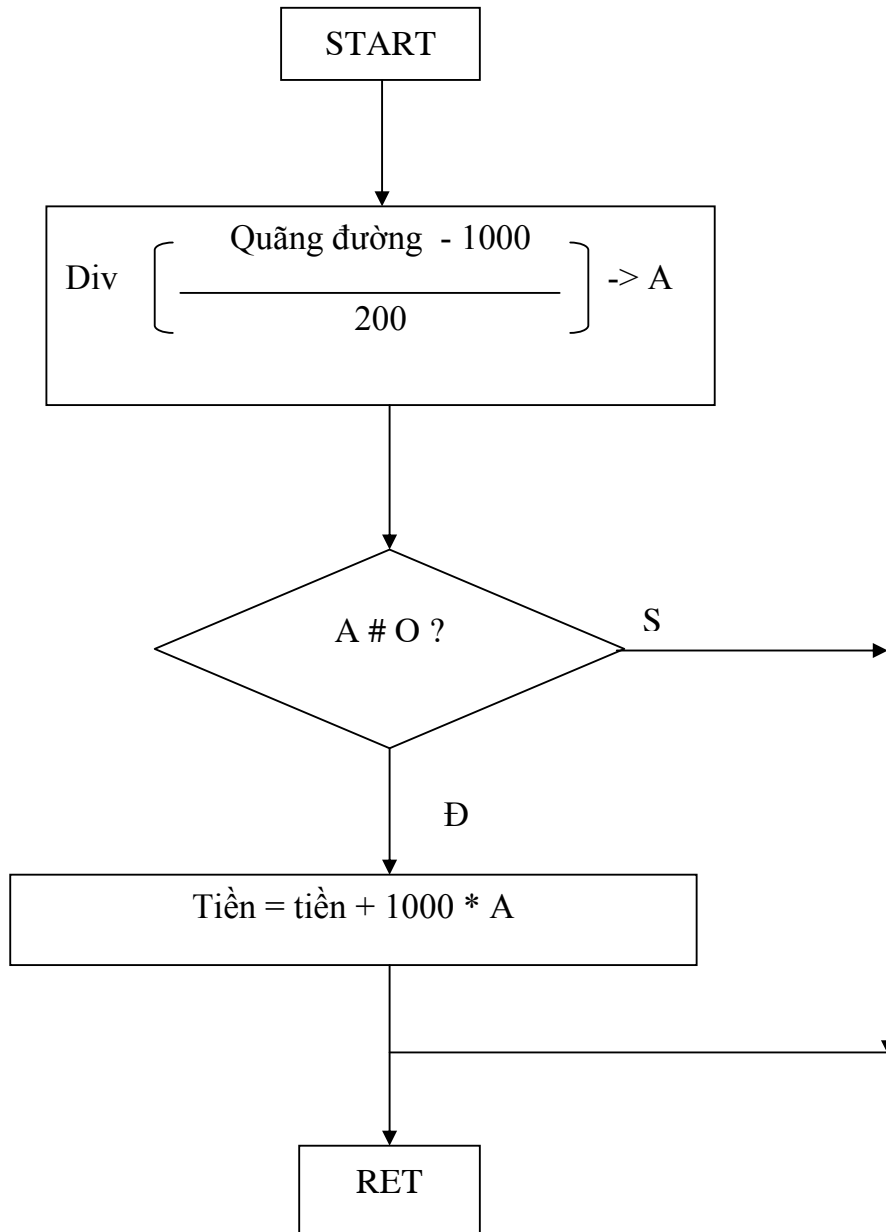


• CHƯƠNG TRÌNH XÁC ĐỊNH PHÍM

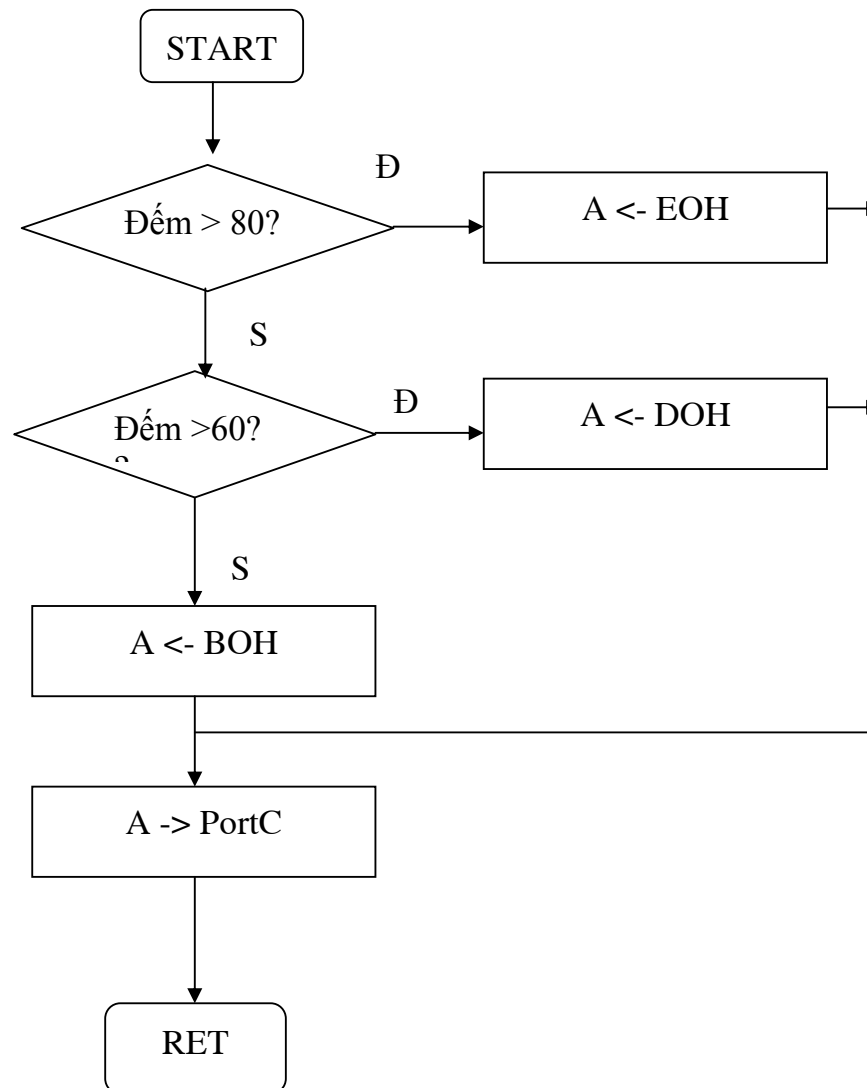




- CHƯƠNG TRÌNH TÍNH TÓN S VÀ T



*-CHƯƠNG TRÌNH BẢO ĐỘNG



II- CHƯƠNG TRÌNH

z80
Org 0000h
LD SP, 3FFFH
LD A,81H
OUT (03H), A
LD A,00H
LD (TIME),A
LD(VMOD),A
LD (TT),A
LD (CK),A
LD HL, 0000H
LD (MON), HL
LD (S), HL
LD (ST), HL
LD (SS), HL
LD A, (TAB+8)
OUT (PORTB), A
LD A, OFEH

LAB1: OUT (PORTA),A
CALL DL2S
RRC A
CP OBFH
JP Z, LAB1

LAB 2: CALL DO
CALL ALM
CALL CAL
JP LAB2

DL2S : LD HL, 6000H
DL2S1: DEC HL
LD A,H
CP 00H
JP NZ, DL2S1
LD A,L
CP 00H
JP NZ, DL2S1
RET

DO : IN A, (PORTC)
AND 02H
CP 02H
JP NZ, LADOI
CALL SCKEY


```
LD A, (TIME)
INC A
LD (TIME),A
CP 0C8H
RET Z
JP DO
LADOI1: IN A , (PORTC)
AND 02H
CP 00H
JP NZ, LADOI2
CALL SCKEY
LD A, (TIME)
INC A
LD (TIME),A
CP 0C8H
RET Z
JP LADOI
LADOI 2: LD A, (CK)
INC A
LD (CK), A
JP DO
SCKEY : LD A,OOH
OUT (PORTA),A
IN A, (PORTC)
AND 01H
CP 01H
JP NZ, SCK1
CALL DELEY1
RET
SCK1: CALL DELAY2
LD A,OOH
OUT (PORTA), A
IN A, (PORTC)
AND 01H
CP 01H
RET Z
CALL XDP
RET
DELAY 1: LD A,(VMOD)
CP OOH
JP Z,DSP1
CP 01H
JP Z, DSP2
```

```

CP 02H
JP Z, DSP3
JP NZ, DSP4
DL10: LD B,08H
DL11: LD A, (HL)
      OUT (PORTB), A
      LD A,B
      OUT (PORTA),A
      CALL DL1ms
      INC HL
      RRC B
      JP C, DL11
      LD A, (VMOD)
      OUT (PORTB), A
      LD A,20H
      OUT (PORTA), A
      CALL DL1ms
      RET
DSP 1: LD HL, BUF 1
      JP DL10
DSP2 : LD HL BUF2
      JP DL10
DSP3 : LD HL, BUF 3
      JP DL10
DSP4:  LD HL, BUF4
      JP DL10
DL1ms: LD A,63H
MS1  :  CP OOH
      RET Z
      NOP
      DEC A
      JP MS1
DELAY2: CALL DELAY 1
      CALL DELAY 1
      CALL DELAY 1
      CALL DELAY 1
      RET
XDP  :  LD B, 0F7H
XDP2:  LD A,B
      OUT (PORTB), A
      IN A, (PORTC)
      AND 01H
      CP 01H

```

```

                JP Z,XDP1
                RRC B
                RET NC
                JP C, XDP2
XDP1:          LD A,B
                CP OF7H
                CALL Z,RSTT
                CP OFBH
                CALL Z, SETTT
                CP OFDH
                CALL Z,LUU
                LD A, (VMOD)
                CP 03H
                JP Z, XDP3
                INC A
                LD (VMOD), A
                RET
RSTT          LD A,OOH
                LD (TT), A
                RET
SETTT:        LD A,01H
                LD (TT), A
LUU :         LD BC , (MON)
                LD HL, (ST)
                ADD HL, BC
                LD (ST), HL
                LD BC, (S)
                LD HL, (SS)
                ADD HL, BC
                LD (SS), HL
                RET
XDP3:        LD A,00H
                LD (VMOD), A
                RET
CAL:         LD HL, (S)
                LD A, (CK)
                CALL HLADDA
                LD (S), HL
                LD BC, 03E8H
                SBC HL, BC
                CALL D200
                LD A, (SM)
                CP OOH

```

```
RET Z
CALL A1000
LD B,H
LD C,L
LD HL, (MON)
ADD HL,BC
LD (MON), HL
RET
DECO : LD A, (VMOD)
CP OOH
JP Z, DECO1
CP 01H
JP Z,DECO2
CP 02
JP Z,DECO3
LD HL, (SSKT)
LD BC, BUF4
DECOO: CALL DI10
LD (BC),A
CALL DI10
INC BC
LD (BC), A
CALL DI10
INC BC
LD (BC), A
INC BC
LD (BC),A
RET
DECO1: LD HL, (MON)
LD BC, BUF1
JP DECOO
DECO2: LD HL, (ST)
LD BC, BUF2
JP DECOO
DECO 3 LD HL, (SS)
LD BC, BUF3
JP DECOO
DI10: PUSH BC
LD BC, OOOOH
D12 LD A,H
CP OOH
JP Z, DII
INC BC
```

```
LD A, 0AH
CALL HLSUBA
JP D12
HLSUBA : LD D, OOH
LD E, 0AH
SBC HL, DE
RET
DI1: LD A,L
D14: LD L, OAH
CP L
JP C, D13
INC BC
SUB L
JP D14
D13 LD HL, TAB
CALL HLADDA
LD A, (HL)
LD H,B
LD L,C
POP BC
RET
ALM : LD A, (CK)
CP 80 H
JP Z, ALM1
CP 60H
JP Z, ALM2
LD A, OBOH
ALM3: OUT (PORTC), A
RET
ALM1: LD A, OE0H
JP ALM3
ALM2: LD A, ODOH
JP ALM3
HLADDA: LD B, OOH
LD C,A
ADD HL, BC
RET
A1000: LD HL, 0000H
LD B, 03H
LD C, OE8H
A1L1: CP OOH
RET Z
ADC HL, BC
```

```

DEC A
JP A1L1
D200 : LD D, OOH
        LD BC, OOC8H
D22:   LD A,H
        CP OOH
        JP Z, D21
D23:   SBC HL, BC
        INC D
        LD A,D
        LD (SM), A
        JP D22
D21:   LD A,L
        CP OC8H
        RET C
        JP D23
TAB:   DEFB 3FH ; BANG TRA MA LED
        DEFB 06H
        DEFB 5BH
        DEFB 4FH
        DEFB 66H
        DEFB 6DH
        DEFB 7DH
        DEFB 07H
        DEFB 7FH
        DEFB 6FH

```

;.....;

```

PORTA EQU OOH
PORTB EQU O1H
PORTC EQU O2H
TIME  EQU 2100H
CK    EQU 2101H
TT    EQU 2022H
VMOD  EQU 2103H
SM    EQU 2104H
BUF 1 EQU 2000H
BUF 2 EQU 2010H
BUF 3 EQU 2020H
BUF 4 EQU 2030H
S     EQU 2105H
MON   EQU 2107H
ST    EQU 2109H
SS    EQU 210BH

```

SSKT EQU 210EH
END.

D- THI CÔNG HỆ THỐNG

Bộ tính cước xe Taxi có chức năng thông báo cho người điều khiển xe và hành khách biết kết quả số tiền cùng chiều dài quãng đường di chuyển nên mạch phải đảm bảo tính chính xác và liên tục. Hơn nữa phần hiển thị phải rõ ràng để quan sát dễ kiểm tra.

Sau khi đã tính toán thiết kế trên cơ sở lý thuyết ở phần chương II, để kiểm chứng lại độ tin cậy và hồn chỉnh của bản thiết kế, người thực hiện tiến hành thi công hệ thống.

I-THI CÔNG HỆ THỐNG :

Trong thực tế thi công hệ thống để tạo điều kiện dễ dàng cho việc vẽ mạch và lắp ráp linh kiện, người thực hiện đã cố gắng thu nhỏ kích thước tồn bộ mạch trong phạm vi cho phép đồng thời dựa trên điều kiện thời gian và khả năng kinh phí có hạn mà chia chúng ra thành 3 bộ phận chính và thi công những phần chính yếu theo yêu cầu đã đề ra.

- Bo mạch chính là mạch KIT Z-80
- Bo mạch thiết kế bị ngoại vi bao gồm đèn hiển thị và bàn phím.
- Bo mạch thiết bị ngoại vi bao gồm đèn hiển thị và bàn phím.

II-KIỂM TRA VÀ ĐÁNH GIÁ HỆ THỐNG:

Sau khi đã hồn tất các công đoạn lắp ráp, tiến hành kiểm tra hoạt động của mạch.

- Cấp điện cho mạch, mở công tắc POWER.
- Nhấn phím START để cho mạch bắt đầu việc tính tiền
- Nhấn phím STOP để thử chấm dứt việc đếm số km chạy không khách.
- Thử chọn các MODE.
- Điều chỉnh núm “Tín hiệu tốc độ” để thay đổi vận tốc theo dõi sự thay đổi nhịp kêu của loa cảnh báo.

* Đánh giá kết quả:

Việc đánh giá bao gồm đánh giá về hình thức và khả năng hoạt động của mạch.

I-KẾT LUẬN:

Qua 6 tuần làm việc thật sự nghiêm túc người thực hiện đã hoàn thành tập đồ án đúng thời hạn và đúng yêu cầu đề ra.

Đề tài đã đề cập đến một vấn đề mang tính mới mẻ và thực tiễn không những đối với xã hội mà còn đối với người thực hiện. Bằng sự nỗ lực tham khảo nhiều tài liệu khác nhau trong và ngoài nước người thực hiện đã trình bày một cách có hệ thống các vấn đề liên quan đến việc cảnh báo tốc độ và tính cước xe Taxi.

Xét về mặt lý thuyết tập đồ án đã trình bày tương đối đầy đủ, nhưng do thời gian và kiến thức có hạn cũng như yêu cầu nghiên cứu của đồ án đề ra mà người thực hiện không thể trình bày đầy đủ việc thiết kế – thi công hoàn chỉnh bộ cảnh báo và tính cước xe Taxi có thể ứng dụng trong thực tế. Đây cũng chính là mặt hạn chế chủ yếu của tập đồ án. Theo đó tập đồ án đã đề cập đến các nội dung sau :

- Giới thiệu nguyên lý đo tốc độ, nguyên lý cảnh báo tốc độ và nguyên lý tính cước xe Taxi.
- Thiết kế mạch phần cứng.
- Thiết kế phần mềm
- Thi công hệ thống.
- Sau khi hoàn thành tập đồ án người thực hiện đã hệ thống hóa được những kiến thức đã học, hình thành và phát triển khả năng nhận thức và giải quyết vấn đề, đồng thời cảm thấy tự tin hơn đi tiếp vào con đường học tập và nghiên cứu khoa học.

I- ĐỀ NGHỊ:

Thông qua quá trình thực hiện đề tài nghiên cứu có một số đề nghị sau:

Do số trang có hạn nên các vấn đề được trình bày trong tập đồ án rất cô đọng do đó người nghiên cứu muốn hiểu rõ thêm chi tiết các vấn đề cần tham khảo thêm phần phụ lục và các tài liệu có liên quan được ghi ở sau tập đồ án.

Vì thời gian có hạn nên người thực hiện chỉ giải quyết được một số yêu cầu cơ bản về kỹ thuật đã được đề ra. Như vậy đề hệ thống thiết kế được trở nên hoàn chỉnh và mang tính thực tiễn cao thì cần phải thực hiện thêm một số phần sau.

- Thiết kế tồn bộ nguồn dự phòng để cấp cho mạch đặc biệt là giúp RAM lưu giữ dữ liệu khi gặp sự cố mất điện nguồn. Điều này giúp cho cơ quan quản lý, quản lý được hoạt động của nhân viên.
- Thiết kế và thi công một mạch tạo tín hiệu tốc độ hoàn chỉnh hơn nhằm giúp thuận tiện cho việc học tập và nghiên cứu.
- Hơn nữa để đề tài có thể ứng dụng trong thực tế cần phải có sự kết hợp nghiên cứu với nhóm chuyên ngành cơ khí động lực nhằm thuận tiện cho việc thiết kế – thi công và tăng tính khả thi của đề tài.

Cuối cùng em xin chân thành cảm ơn thầy **Lê Thanh Đạo** đã trực tiếp hướng dẫn cùng tận tụy các thầy cô giáo trong khoa và các bạn đồng nghiệp đã giúp đỡ em trong quá trình thực hiện đề tài. Người thực hiện rất mong nhận được sự góp ý nhiệt thành từ phía các thầy cô giáo và các bạn

Người Thực Hiện

Nguyễn Đức Lợi

PHỤ LỤC

I- KHẢO SÁT CPU Z80

Z80 CPU là đơn vị xử lý trung tâm thực hiện mọi quyết định và phân bổ thời gian điều khiển toàn hệ thống.

- Những đặc điểm chính yếu của CPU Z80.
 - 8 bit tác động song song
 - 158 loại lệnh căn bản
 - Có 52 thanh ghi bên trong
 - Có tính năng ngắt (interrupt).
 - Có thể nối trực tiếp với RAM động mà hầu như không cần mạch phụ trợ bên ngoài.
 - Tốc độ của lệnh fetch là $1.6\mu s$
 - Chỉ cần dùng một nguồn điện +5v duy nhất.
 - Tất cả các chân xuất tín hiệu ra và nhập tín hiệu vào đều thuộc loại TTL.

1- Mô tả tổng quát :

Người ta phân Z80 CPU làm 3 khối chính:

- Khối thanh ghi : Là những ô nhớ nằm bên trong CPU và được giới thiệu trong lệnh bằng những ký hiệu cụ thể. Dữ liệu từ bộ nhớ được chuyển vào lưu trữ tạm thời, trong quá trình tính toán và xử lý.
- Khối ALU (Arithmetic and Logic Unit): Khối này thực hiện các phép toán luận lý và số học.
- Khối giải mã lệnh và điều khiển : Có nhiệm vụ phân tích mã lệnh và hình thành các thao tác tiếp theo tương ứng với lệnh đó.

2- Phân tích khối thanh ghi (Register set):

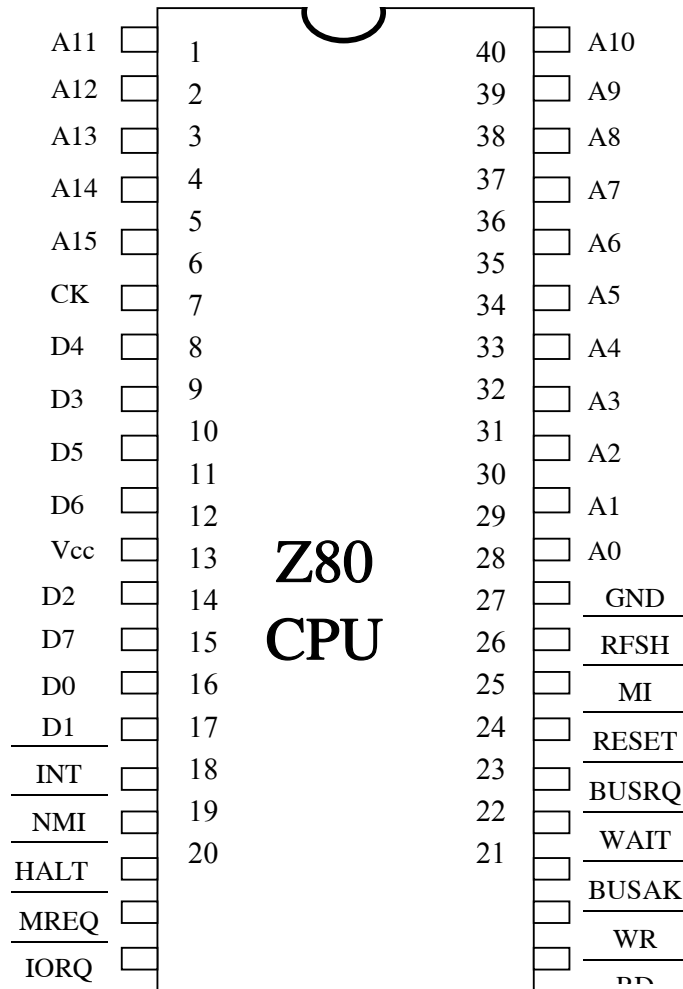
Khối thanh ghi của CPU được chia là 3 nhóm theo bảng sau:

- Nhóm 1 : Bao gồm các bộ thanh ghi 16bit được ghép nối tiếp từ 2 thanh ghi 8bit, một bộ chính và một bộ hỗn đảo. Cả hai bộ gồm có:
 - Thanh ghi tích lũy (Accumulator Register).
 - Thanh ghi cờ (Flag Register).
 - Sáu thanh ghi đa dụng : B, C, D, E, H,L: có thể dùng đơn lẻ hoặc ghép thành 3 cặp BC, DE, HL.

Sự chuyển đổi dữ liệu giữa các bộ ghép nối của các thanh ghi được thực hiện bằng lệnh chuyển đổi (Exchange). Kết quả được đáp ứng nhanh và dễ dàng đối với các ngắt.

- Nhóm 2 : Gồm 6 thanh ghi.
 - Thanh ghi ngắt (Interrupt Register).
 - Thanh ghi làm tươi bộ nhớ (register Memory Refresh).
 - Con trỏ ngăn xếp (Stack pointer).
 - Thanh ghi đếm chương trình (program Counter).
 - Thanh ghi chỉ số (Index Register) : Dùng cho phép định vị chỉ số.
- Nhóm 3 : Gồm 2 Flip – flop để ghi nhớ các trạng thái ngắt.

3- Mô tả các nhóm chân Z80 – CPU:



HÌNH I.1 : Sơ đồ chân của CPU Z80

a- Các Bus địa chỉ và dữ liệu

♥ Bus địa chỉ (Address Bus) $A_0 \div A_{15}$: Ngõ ra ba trạng thái xuất, tác động ở mức cao, tạo thành tuyến địa chỉ 16 bit. Bằng cách phối hợp giữa các tín hiệu “1” và “0” ở mỗi chân chúng ta có thể chỉ định được địa chỉ trên bộ nhớ hay bộ vào ra I/O khác.

♥ Bus dữ liệu (Data Bus) $D_0 \div D_7$: Ngõ ra ba trạng thái xuất nhập, tác động ở mức cao, tạo thành tuyến dữ liệu 8 bit, trên đó dữ liệu có thể di chuyển theo hai chiều, nhận và giao dữ liệu giữa CPU và bộ nhớ hay vào ra I/O.

b- Các ngõ điều khiển nhập:

♥ BUSREQ – Yêu cầu Bus (Bus Request): Ngõ vào, tác động ở mức thấp. Tín hiệu này có ưu tiên cao hơn so với NMI (Non Maskable Interrupt), luôn được ghi vào cuối chu kỳ máy hiện hành. BUSREQ yêu cầu CPU đưa Bus dữ liệu, Bus địa chỉ và các tín hiệu điều khiển MREQ, IORQ, RD và WR lên trạng thái tổng trở cao.

♥ INT – Yêu cầu ngắt (Interrupt request) : Yêu cầu ngắt được tạo bởi thiết bị I/O. Nếu Flip – flop cho phép ngắt đang ở trạng thái cho phép thì CPU sẽ thi hành ngắt vào cuối lệnh hành.

♥ NMI – Ngắt không che (Non Maskable Interrupt) : Ngõ vào tác động ở mức thấp. NMI có ưu tiên cao hơn INT. NMI luôn ghi nhận vào cuối lệnh hiện hành, độc lập với trạng thái Flip – flop cho phép ngắt và tự động bắt buộc CPU phải khởi tạo lại.

♥ WAIT – Đợi: Ngõ vào tác động ở mức thấp. WAIT chỉ ra đơn vị nhớ hay I/O đã được chỉ định không sẵn sàng để trao đổi dữ liệu. CPU tiếp tục đưa vào trạng thái đợi tín hiệu này còn tác động.

♥ RESET – Đặt lại : Ngõ vào tác động ở mức thấp. RESET khởi động lại CPU như sau : nó đặt lại Flip – flop cho phép ngắt, xóa thanh ghi đếm chương trình, thanh ghi ngắt và thanh ghi phục hồi bộ nhớ (Memory refresh register) và đặt lại chế độ 0. Trong suốt thời gian đặt lại Data Bus và Address Bus ở trạng thái tổng trở cao.

c- Các ngõ điều khiển xuất:

- M1 – Một chu kỳ máy (Machine Cycle One) : Ngõ ra tác động ở mức thấp. M1 cùng với MREQ chỉ ra chu kỳ máy hiện hành là một chu kỳ lấy lệnh.
- MREQ – yêu cầu bộ nhớ (Memory Request): Ngõ ra 3 trạng thái tác động ở mức thấp. Khi CPU truy xuất bộ nhớ MREQ xuống mức thấp để chọn vùng nhớ đó.
- IORQ – yêu cầu vào ra (In/Out Request): Ngõ ra 3 trạng thái, tác động ở mức thấp. IORQ cũng được tạo ra đồng thời với M1 khi CPU chấp nhận nó để chỉ ra rằng 1 vectơ đáp ứng ngắt có thể đặt lên trên bus dữ liệu.
- RD- Đọc (Read) : Ngõ ra 3 trạng thái, tác động ở mức thấp. RD chỉ ra rằng CPU muốn đọc dữ liệu từ ngăn nhớ và từ thiết bị I/O đã được chỉ định.
- WR – viết (write): Ngõ ra 3 trạng thái, tác động ở mức thấp. WR chỉ ra rằng trên bus dữ liệu của CPU có các dữ liệu sẽ được ghi vào ngăn nhớ hoặc công vào ra đã được chỉ định.
- RSSH - làm tươi (Refresh) : Ngõ ra 3 trạng thái, tác động ở mức thấp RSSH cùng với MREQ chỉ ra rằng 7 bit giảm của bus địa chỉ thuộc thống chứa địa chỉ làm tươi bộ nhớ động (phục hồi Ram động).
- HALT – trạng thái dừng (Halt state) : Ngõ ra 3 trạng thái, tác động ở mức thấp. Tín hiệu 0 ở chân HALT chỉ ra rằng CPU đã thực hiện lệnh ngừng CPU . Lúc đó bên trong nội bộ CPU sẽ xử lý lệnh NOP (No Operation)

Instruction) có nghĩa là không làm gì cả. Trong khoảng thời gian đó quá trình phục hồi bộ nhớ được tiến hành. Khi có tín hiệu 0 gửi đến 1 trong 3 chân RESET, INT, NMI của CPU thì tình trạng HALT của CPU sẽ được loại bỏ.

- BUSACK – chấp thuận bus (Bus Acknowledge) : Ngõ ra tác động ở mức thấp. Tín hiệu này cho biết thiết bị đang yêu cầu bus biết rằng CPU đã chấp nhận nguồn bus, nghĩa là bus địa chỉ, bus dữ liệu các tín hiệu điều khiển MREQ, IONQ, RD và WR của CPU được đưa vào trạng thái tổng trở cao.

4- Tổng quát về quá trình hoạt động các ngắt :

Khi yêu cầu ngắt NMI được ghi nhận CPU không thực hiện lệnh kiểu RESTART ở địa chỉ 0066H.

Đầu ngắt UNT có thể cho phép hoặc cấm bằng phần mềm (lệnh EI cho phép ngắt, lệnh DI cấm ngắt). Đối với INT, Z80-CPU có thể ghi ngắt trong 3 chế độ xác định bởi phần mềm : Lệnh IMO lập chế độ ngắt 0, IM1 lập chế độ ngắt 1 và IM2 lập chế độ ngắt 2.

- Chế độ ngắt 0 : Thiết bị ngoại vi yêu cầu ngắt có thể đưa vào bus số liệu bất cứ lệnh nào khi Z80-CPU trả lời ngắt và Z80-CPU sẽ thực hiện lệnh đó. Thông thường người ta sử dụng lệnh mà thực chất là lệnh CALL, 1 byte vào trang 0 của bộ nhớ, hoặc lệnh CALL thông thường 3byte để gọi đến bất cứ vùng nào của bộ nhớ.
- Chế độ ngắt 1: Công việc chủ yếu là gọi chương trình con phục vụ ngắt tại địa chỉ 0038H, khi nhận ngắt ở chế độ 1, Z80-CPU tự động tạo và thực hiện lệnh RST7 mà không cần thiết bị ngoại vi cung cấp vectơ ngắt từ ngoài vào bus số liệu.
- Chế độ ngắt 2 : Là chế độ ngắt ưu việt đáng kể của Z80-CPU so với các họ vi xử lý khác. Với các vectơ ngắt 1 byte do thiết bị ngoại vi cung cấp, Z80-CPU có thể thực hiện gọi gián tiếp với bất kỳ vị trí nào trong bộ nhớ.

5- Tập lệnh của Z80-CPU:

Vi xử lý Z80 có tập lệnh rất phong phú so với các vi xử lý 8bit khác. Đặc biệt có các lệnh truyền khối, tạo thao tác dịch chuyển một khối dữ liệu trong bộ nhớ hay giữa bộ nhớ và thiết bị vào/ra.

Các lệnh của Z80 chia thành các loại:

- Lệnh truyền dữ liệu 8 bit.
- Lệnh truyền dữ liệu 16bit.
- Lệnh trao đổi, truyền khối, dò tìm.
- Lệnh tính tồn 8bit.
- Lệnh tính tồn 16bit.
- Lệnh xê dịch dữ liệu (shift).

- Các lệnh nhảy (Jump).
- Lệnh nạp dữ liệu vào từng bit.
- Các lệnh gọi chương trình con, trở về và khởi động.
- Lệnh điều khiển CPU.
- Lệnh hôn chuyển thanh ghi.
- Lệnh xuất nhập dữ liệu.

II KHẢO SÁT BỘ XUẤT NHẬP SONG SONG (VI MẠCH PPI 8255)

1-Giới thiệu

Một hệ thống xử lý muốn đưa dữ liệu ra điều khiển thiết bị bên ngoài hoặc muốn nhập dữ liệu từ ngoài vào để xử lý thì không thể trao đổi trực tiếp mà phải thông qua một khâu trung gian là bộ giao tiếp ngoại vi hay còn gọi là cổng xuất nhập (I/O port). Nhờ có bộ giao tiếp này dữ liệu truyền đi để điều khiển hoặc nhận vào để xử lý đã mở rộng được phạm vi ứng dụng của nó trong nhiều lĩnh vực, đặc biệt là trong tự động hóa.

Một vài hãng sản xuất vi xử lý đã chế tạo sẵn các thiết bị LSI làm cho việc thiết kế giao tiếp song song được dễ dàng. Một trong những thiết bị giao tiếp song song điển hình là mạch giao tiếp 8255 của hãng Intel.

2-Cấu tạo của vi mạch 8255

a- 8255 giao tiếp ngoại vi song song lập trình được (PPI)

8255 là một linh kiện xuất nhập song song lập trình được dùng để giao tiếp với các thiết bị ngoại vi tới Bus hệ thống. Nó có thể lập trình được để truyền dữ liệu dưới những điều kiện khác nhau, từ vấn đề vào ra I/O đơn giản cho đến các ngắt vào ra I/O, nó rất linh hoạt, đa năng về kinh tế (Khi nhiều cổng vào ra được yêu cầu sử dụng) nhưng đôi khi cũng phức tạp. 8255 là một linh kiện xuất nhập đa năng, có thể sử dụng hầu hết với các bộ vi xử lý.

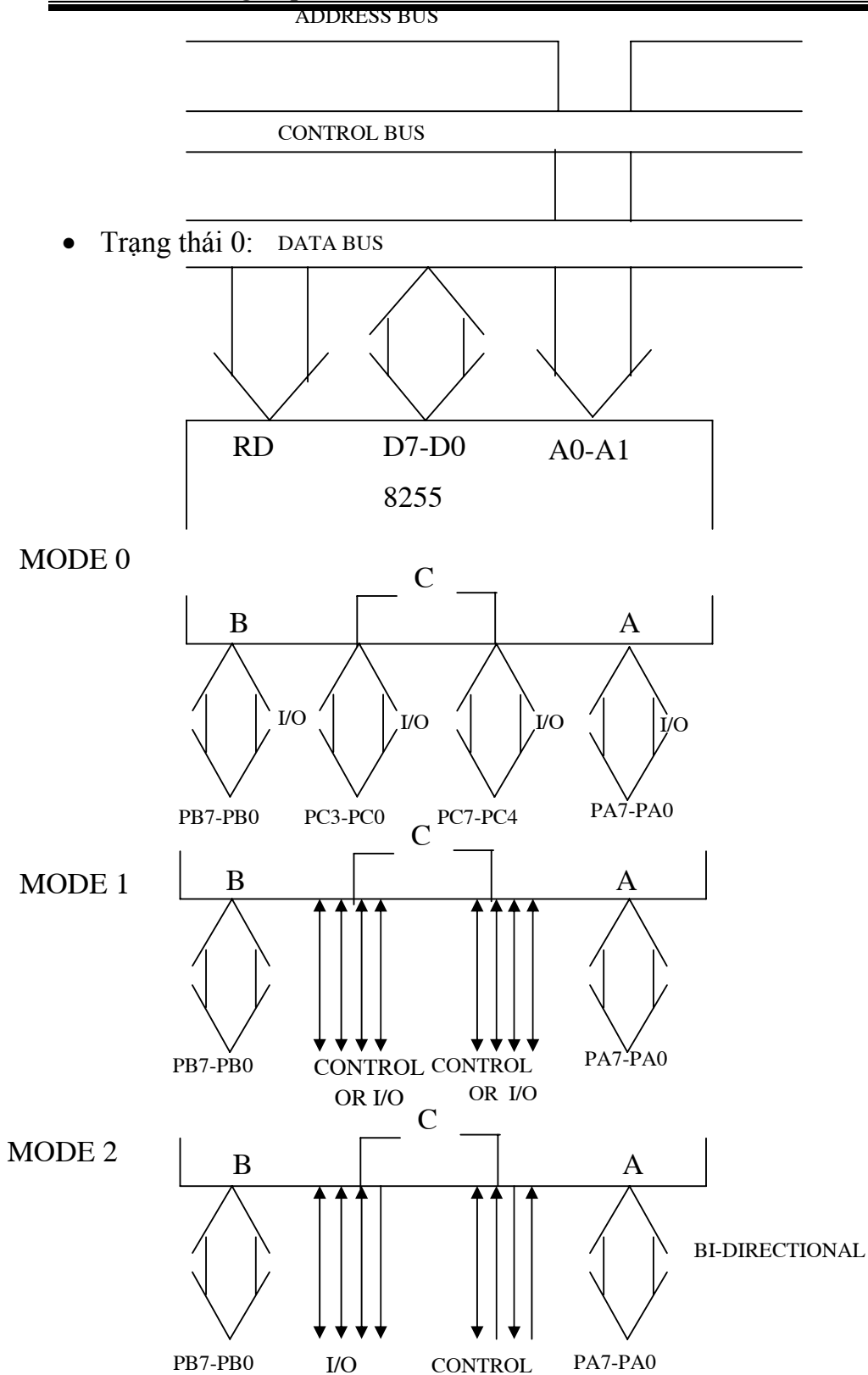
Sử dụng mạch 8255 để giao tiếp sẽ làm công việc thiết kế ghép nối bộ vi xử lý với các thiết bị ngoại vi đơn giản đi nhiều, độ mềm dẻo của thiết kế sẽ tăng lên và linh phụ kiện sẽ giảm đi.

b-Các cấu trúc của PPI 8255:

8255 hoạt động với ba trạng thái (Mode) khác nhau. Chúng có thể dùng chương trình để chọn một trong ba trạng thái này.

Ba trạng thái hoạt động này được gọi là trạng thái 0, trạng thái 1, trạng thái 2. Chức năng của từng trạng thái được mô tả trong hình sau:





Hình II-1: Sơ đồ mô tả các MODE hoạt động của 8255
 Ở trạng thái này có thể dùng toàn bộ 24bit (8bit x 3 cổng) của các cổng A, B, C để nhập hay xuất dữ liệu. Khi sử dụng các cổng này, các cổng A, B

có thể dùng 8 bit của chúng để nhập hay xuất dữ liệu còn 8bit của cổng C thì được chia thành 2 phần: 4 bit cao và 4 bit thấp.

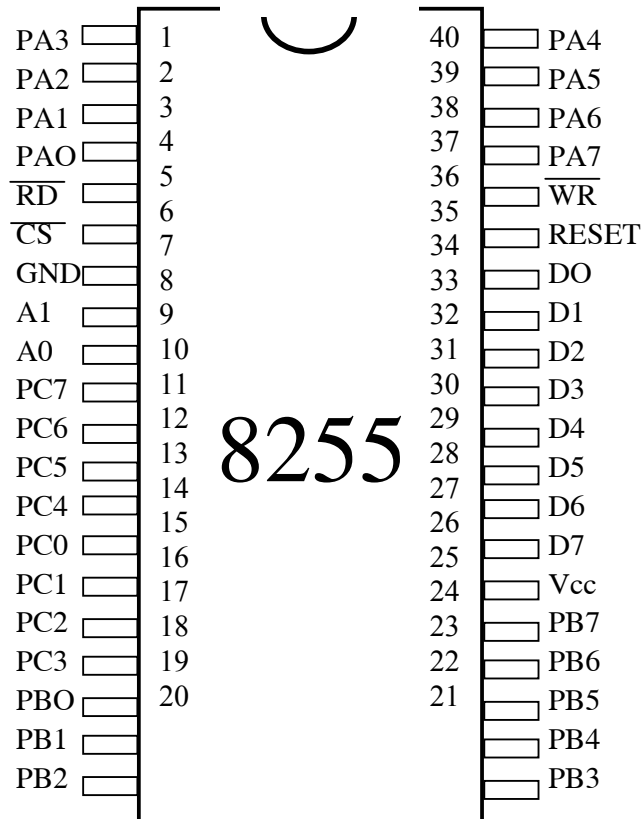
- **Trạng thái 1:**

Trạng thái này được chia thành 2 nhóm : Nhóm A (chủ yếu là cổng A) và nhóm B (chủ yếu là cổng B). Đối với mỗi nhóm dùng 4 bit của cổng C điều khiển.

- **Trạng thái 2:**

Nhóm A được dùng như tuyến 2 chiều và dùng 5 bit của cổng C điều khiển. Còn lại 3bit của cổng C và 8 bit cổng B có thể dùng theo trạng thái 0 và trạng thái.

3-Sơ đồ chân của 8255:



Hình II-2: Sơ đồ chân của 8255

Bộ ghép nối song song điều khiển theo chương trình 8255 gồm có:

- Thanh ghi điều khiển:

Đây là thanh ghi 8bit nội dung của thanh ghi điều khiển được gọi là từ điều khiển. Từ điều khiển được dùng để xác định một chức năng vào/ra cho mỗi cổng (khởi tạo cổng) thanh ghi này có thể được thâm nhập để ghi một từ điều khiển khi địa chỉ A_0 và A_1 đều ở mức logic 1. Cần chú ý rằng không thể thâm nhập vào thanh ghi này để đọc dữ liệu.

- Thanh ghi trạng thái :

Cổng vào ra 8bit A, B, C trong đó 8 bit của cổng C có thể được sử dụng như những bit riêng (ở chế độ cài đặt bit hoặc được nhóm thành 2 nhóm độc lập bằng chương trình: 4 bit cao ($PC_4...PC_7$) thuộc nhóm A và 4 bit thấp ($PC_0...PC_3$) thuộc nhóm B.

Bộ đếm bus dữ liệu làm nhiệm vụ giao tiếp giữa bus dữ liệu ngoài với thanh ghi điều khiển, thanh ghi trạng thái hoặc một trong các cổng vào/ra, ngoài ra 8255 còn có các đường điều khiển như sau:

- RD (read): Tín hiệu này cho phép hoạt động đọc dữ liệu khi đường dữ liệu này xuống mức thấp, CPU đọc dữ liệu từ một cổng đầu ra của 8255.
- WR (write): Tín hiệu này cho phép hoạt động ghi dữ liệu. Khi đường dữ liệu này xuống mức thấp, CPU sẽ xuất ra một cổng vào ra được chọn hoặc ra thanh ghi điều khiển của 8255.
- Reset: Đường tín hiệu này hoạt động tích cực ở mức cao. Khi chân này ở mức cao, nội dung trong thanh ghi điều khiển được xóa và đặt tất cả các cổng ở kiểu vào.
- CS, A_0 , A_1 : Đây là các tín hiệu được chọn, CS được nối với bộ giải mã địa chỉ; A_0 và A_1 được nối đến các đường chỉ A_0 và A_1 của CPU, trong đó CS là tín hiệu chính cho phép 8255 hoạt động và việc xác định địa chỉ cho 8255 dựa vào chân tín hiệu này, còn các tín hiệu A_0 và A_1 dùng để chọn một trong các cổng hoặc thanh ghi điều khiển.

- Tóm lại việc chọn cảng và định địa chỉ cho 8255 được tóm tắt như sau:

Trạng thái	A1	A0	\overline{RD}	\overline{WR}	\overline{CS}	Mô tả sự chuyển đổi
Đọc	0	0	0	1	0	Cảng A=> Bus dữ liệu
	0	1	0	1	0	Cảng B=> Bus dữ liệu
	1	0	0	1	0	Cảng C=> Bus dữ liệu
Ghi	0	0	1	0	0	Bus dữ liệu=> Cảng A
	0	1	1	0	0	Bus dữ liệu=> Cảng B
	1	0	1	0	0	Bus dữ liệu=> Cảng C
	1	1	1	0	0	Bus dữ liệu=> Thanh ghi điều khiển nếu D7=1
Không hoạt động	x	x	x	x	1	Bus dữ liệu ở trạng thái trở kháng cao
	1	1	0	1	0	Điều kiện không chấp nhận
	x	x	1	1	0	Bus dữ liệu ở trạng thái trở kháng cao.

x: không quan tâm

Bảng II.1 Bảng trạng thái của 8255

c-Các chế độ làm việc của 8255

Vì mạch tiếp song song lập trình được 8255 có 2 chế độ làm việc khác nhau.

- Chế độ cài đặt hoặc xóa bit(BSR: Bit Set/Reset)
- Chế độ vào/ra (I/O mode)

8255 làm việc ở chế độ nào là phụ thuộc vào giá trị của bit D7 trong thanh ghi điều khiển:

Trong chế độ I/O, việc xác định chế độ 0, hoặc 1 cho nhóm B hoặc chế độ 0,1,2 cho nhóm A còn phụ thuộc giá trị của các bit D2, D5, D6 trong thanh ghi điều khiển.

Tóm lại, với 8255 việc chọn chế độ này hay chế độ kia là phụ thuộc vào người lập trình cho nó. Với cách chọn chế độ làm việc và chính xác, vi mạch 8255 có thể đáp ứng mọi yêu cầu ghép nối rất tinh vi. Mặt khác, nếu biết tận dụng đặc tính của mỗi chế độ thì người thiết kế có thể đạt được những kết quả rất hữu hiệu.

Sau đây là những miêu tả chi tiết về đặc điểm của mỗi chế độ làm việc:

a- Chế độ BSR:

Chế độ BSR chỉ liên quan đến 8 bit ở cảng C. Các bit này có thể được cài đặt hoặc xóa độc lập với nhau bằng cách được ghi một từ điều khiển thích hợp vào thanh ghi điều khiển. Như phần trình bày ở trên, nếu D7=0 thì có nhận biết từ điều khiển BSR và nó không làm thay đổi từ điều khiển đã được ghi vào trước đó với D7=1. Vì vậy các hoạt động của các cảng A và B không bị ảnh hưởng ở từ điều khiển BSR. Ở chế độ BSR, các bit riêng lẻ ở cảng C có thể được sử dụng với ứng dụng như là một công tắc đóng mở. Nhờ tính chất này, ở chế độ 1 hoặc 2, dùng các bit của cảng C để làm tín

hiệu điều khiển ngắt. Bộ 8255 cho khả năng lớn để lựa chọn thực hiện ghép nối vào/ra có ngắt. Điều đó làm đơn giản thiết kế về phần cứng.

Từ điều khiển khi được viết vào thanh ghi điều khiển nó sẽ đặt hoặc xóa một bit ở một thời điểm như bảng II.2

	Chọn bit
000	Bit 0
001	Bit 1
010	Bit 2
011	Bit 3
100	Bit 4
101	Bit 5
110	Bit 6
111	Bit 7

Bảng II.2 : Từ điều khiển lập / xóa bit 8255

b- Chế độ I/O

Hình II.3 mô tả cấu trúc từ điều khiển vào / ra

- + Nếu bit D7=0, 8255 làm việc ở chế độ cài đặt hoặc xóa bit
- + Nếu bit D7=1, 8255 làm việc ở chế độ vào/ ra. Trong chế độ này, bộ ghép nối 8255 được chia làm 3 chế độ cơ bản:

*Chế độ 0 (mode 0):

Một cổng có chức năng như là cổng vào/ra đơn giản

*Chế độ 1(mode 1):

Gọi là chế độ vào / ra chốt. Khi một nhóm đang ở chế độ này thì cổng 8 bit của nó (hoặc cổng A hoặc cổng B) được dùng hoặc là nhập hoặc là xuất và 3 chân của cổng C được dùng cho các tín hiệu bắt tay.

*Chế độ 2 (mode 2)

Chế độ này chỉ áp dụng cho nhóm A và được gọi là chế độ nhập xuất Bus hai chiều. Ở chế độ này cổng A được cài đặt để truyền dữ liệu hai chiều bằng cách sử dụng 5 chân trong các chân ở cổng C làm tín hiệu bắt tay.

- Khi gõ vào Reset ở mức logic 1, 8255 bị Reset tất cả các cổng được đặt ở chế độ nhập(cả 24 đường của 3 port đều ở trạng thái tổng trở cao). Sau khi Reset 8255 chờ nhận từ điều khiển để được khởi động(các cổng được duy trì ở chế độ nhập).
- Trong quá trình thi hành một chương trình của hệ thống bất kỳ mode hoạt động nào cũng được chọn bằng một lệnh đơn giản nên 8255 có thể phục vụ nhiều loại ngoại vi khác nhau bằng các chương trình con đơn giản.
- Dù ở mode nào cổng A và B cũng được định nghĩa riêng lẻ trong khi cổng c được chia làm hai phần (một nửa cao và một nửa thấp) theo yêu cầu của mode cổng A và B.

- Tất cả các thanh ghi xuất bao gồm các flip-flop trạng thái đều được Reset khi thay đổi mode ở cùng một thời điểm. Mỗi nhóm có thể được xác định ở các mode hoạt động khác nhau.
- Khả năng nhập/xóa (set/reset) từng bit
 Mỗi bit của cổng C đều được set/reset riêng lẻ bằng lệnh Out. Điều này cho phép khả năng sử dụng cổng C để điều khiển và thông tin trạng thái ở cổng A và B.
- Điều khiển ngắt (Interrupt)
 Khi 8255 hoạt động ở mode 1 hay mode 2, các tín hiệu điều khiển có khả năng yêu cầu ngắt CPU. Các tín hiệu yêu cầu ngắt phát sinh từ cổng C. Người lập trình có thể cho phép hay cấm một ngoại vi ngắt CPU mà không ảnh hưởng đến bất kỳ một ngoại vi nào khác trong cấu trúc ngắt. Flip-flop INTE của 8255 kết hợp với khả năng set/reset từng bit của cổng C sẽ thực hiện nhiệm vụ này.
 Bit set-INTE set : cho phép ngắt.
 Bit reset-INTE reset: cấm ngắt
 Tất cả các flip-flop che(mask flip-flop) đều được reset trong quá trình chọn mode và reset 8255.

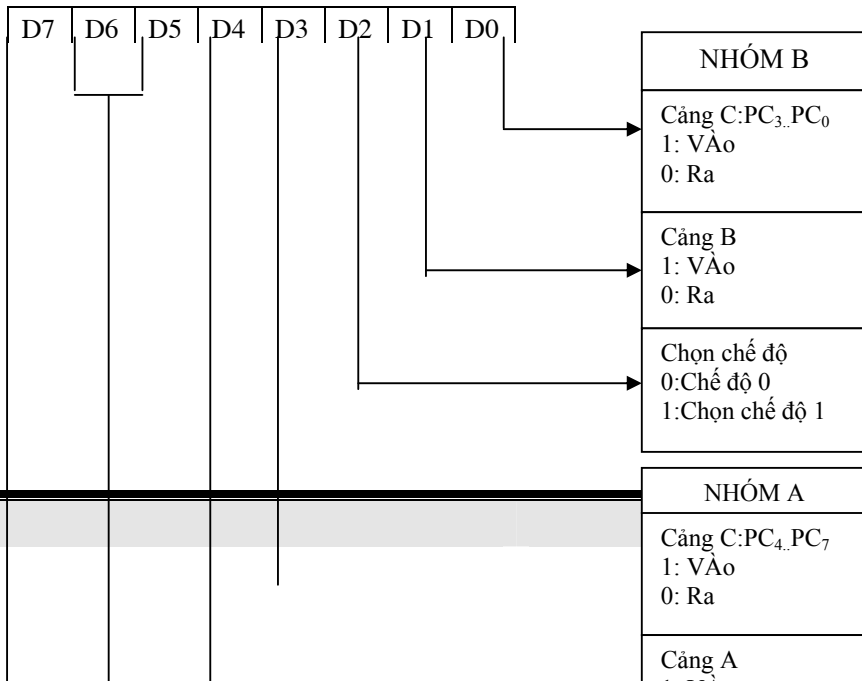
※ Hoạt động của các chế độ (Modes)

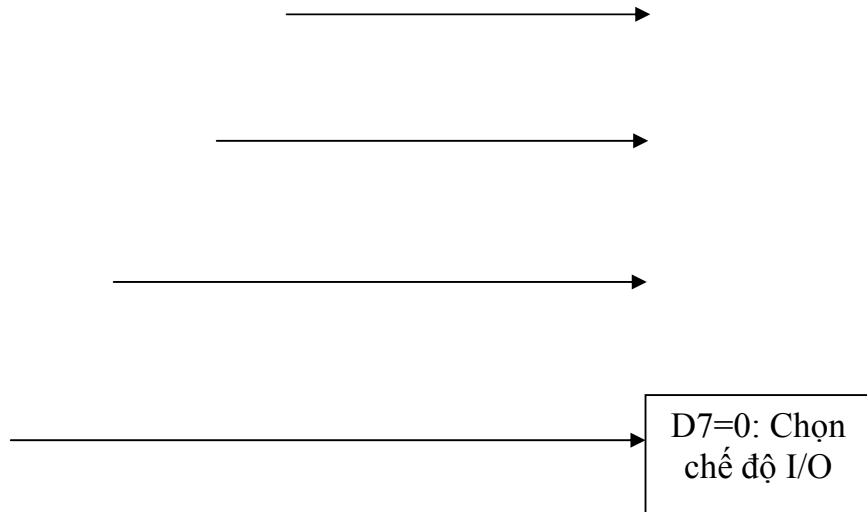
*Chế độ 0(mode 0) : Chế độ xuất nhập cơ bản

3 cổng A,B và C đều là các cổng xuất nhập, không có tín hiệu bắt tay dữ liệu đơn thuần được ghi vào hoặc đọc ra từ 8255 (đối với từng cổng riêng lẻ) cổng C hoạt động như là hai cổng 4 bit. Khi mới reset tất cả các cổng đều là vào. Đặc điểm ở mỗi chế độ này là:

- Dữ liệu ra được chốt
- Dữ liệu vào không được chốt
- Các cổng không có khả năng bắt tay hoặc ngắt
- Có 16 khả năng xuất nhập đối với mode 0 (căn cứ vào các bit D0, D3, DZ4 của từ điều khiển).

TỪ ĐIỀU KHIỂN





⌘ HÌNH II.3 :tù điều khiển của 8255

- Chế độ 1 (mode 1): Xuất nhập có điều khiển:

Hai cổng A và B có chức năng là cổng vào ra 8bis chúng có thể được cấu hình hoặc là cổng vào hoặc là cổng ra khi xuất hoặc nhập dữ liệu đều được chốt. Hay nửa cổng c được sử dụng để điều khiển thông tin trạng thái cho cổng A và cổng B. Nửa cao sử dụng cho cổng A (nhóm A), nửa thấp sử dụng cho cổng B (nhóm B). Như vậy mỗi nhóm gồm 1 cổng 8bis và 4 bis của cổng C.

- Chế độ với cổng A (hoặc B): Khởi tạo là vào :

Trong chế độ này, cổng A sử dụng 3 đường tín hiệu cao PC3, PC4 và PC5. Cổng B sử dụng 3 đường tín hiệu thấp còn lại của cổng C là PC0, PC1 và PC2. Các chức năng của tín hiệu này như sau:

STB (Strobe Input) : Tín hiệu này hoạt động ở mức thấp, nó được tạo bởi thiết bị ngoại vi để thông báo cho 8255 biết byte số liệu nhập đã sẵn sàng và 8255 đáp lại tín hiệu STB bằng cách tạo ra tín hiệu IBF, INTR.

- IBF (Input Buffer Full) tín hiệu này là một sự báo nhận bởi 8255 để chỉ thị rằng ngõ vào chốt đã được 1byte dữ liệu. Tín hiệu này bị Reset khi CPU đọc dữ liệu.
- INTR (Interrupt request) : Đây là tín hiệu có thể được sử dụng để ngắt CPU, tín hiệu này được tạo ra nếu STB = 1, IBF và INTE = 1, tín hiệu INTE bị xóa bởi cạnh sau của tín hiệu RD.
- INTE (Interrupt Enable) : Đây là Flip-flop bên trong được sử dụng để cho phép hoặc không cho phép việc tạo ra tín hiệu INTR (tức cho phép hoặc không cho phép yêu cầu này). Hai Flip – flop INTE_A và INTE_B set /reset bằng cách sử dụng chế độ BSR, cụ thể là Flip-flop INTE_A được điều khiển bởi PC₄ và INTE_B được điều khiển bởi PC₂.

Tóm lại : Quá trình Cpu đọc dữ liệu từ bên ngoài vào ở chế độ này như sau: Thiết bị vào ở 8 bis số liệu đến A0... A7 (hoặc B0 . . B7) rồi phát sinh xung STR với mức tích cực thấp để nạp dữ liệu vào mạch chốt. Như vậy làm tín hiệu IBF có mức logic mềm. Bộ vi xử lý đọc cổng C và kiểm tra tín hiệu IBF để kiểm tra số liệu đã sẵn sàng chưa. Nếu IBF = 1 bộ vi xử lý đọc số liệu trên cổng A (hoặc B) và xóa cờ IBF.

- Chế độ 1 : Với cổng A hoặc B khởi tạo là ra:

Khi cổng A và B được khởi tạo là ra ở từ điều khiển thì chức năng của các chân logic như sau :

- OBF (Output Buffer Full) tín hiệu điều khiển này xuống thấp CPU ghi dữ liệu vào mạch chốt ngõ ra của 8255. Tín hiệu này báo cho tín hiệu ngoại vi ở ngõ ra là dữ liệu mới đang sẵn sàng đọc. Tín hiệu này lên cao 1 lần nữa sau khi 8255 nhận được tín hiệu ACK ngoại vi. OBF được set bởi cạnh lên của xung WR từ CPU và bị reset bởi ACK =0 do ngoại vi (tức ở mức 0 tích cực).
- ACK (Acknowledge) : Đây là tín hiệu vào từ ngoại vi, nó xuống mức thấp khi thiết bị ngoại vi nhận được dữ liệu từ các cổng của 8255.

- INTR (Interrupt Request) : Đây là tín hiệu ra nó được set bởi cạnh lên của tín hiệu ACK. Tín hiệu này lên 1 ở ngõ ra dùng yêu cầu ngắt CPU, khi ngoại vi đã nhận dữ liệu từ nó để yêu cầu byte dữ liệu kế được xuất ra. Tín hiệu INTR được set khi cấp tín hiệu OBF, ACK và INTE tồn tại ở mức 1 và được reset bởi cạnh xuống của tín hiệu WR.
- INTE (Interrupt Enable) đây là một Flip-flop bên trong được dùng để tạo tín hiệu INTR. Hai Flip-flop $INTE_A$ và $INTE_B$ được điều khiển bởi các bit PC6, PC2 và được nhận biết qua chế độ BSR.
Tương tự như cổng nhập PC4 và PC5 được dùng như cổng vào ra.
Tóm tắt quá trình CPU viết dữ liệu ra như sau;

CPU ghi dữ liệu ra cổng A (hoặc B) làm cho OBF ở mức logic 0. Thiết bị kiểm tra OBF để xác định xem dữ liệu đã sẵn sàng chưa. Nếu đã tiếp nhận dữ liệu, thiết bị trả lời bằng mức 0 trên đầu vào ACK đồng thời xóa cờ OBS.

- Chế độ 2 (mode 2) : Xuất nhập dữ liệu 2 chiều bất tay:

Chế độ này được sử dụng trong các ứng dụng như là truyền dữ liệu giữa hai máy vi tính hoặc giao tiếp với bộ điều khiển đĩa mềm.

Ở chế độ này cổng A có thể được cấu hình như là một cổng hai chiều và cổng B hoặc là ở chế độ 0 hoặc là ở chế độ 1. Cổng A sử dụng tín hiệu từ cổng C như là các tín hiệu điều khiển cho việc truyền dữ liệu. Các đường này bao gồm OBF, ACK, INTR, STB, IBF.

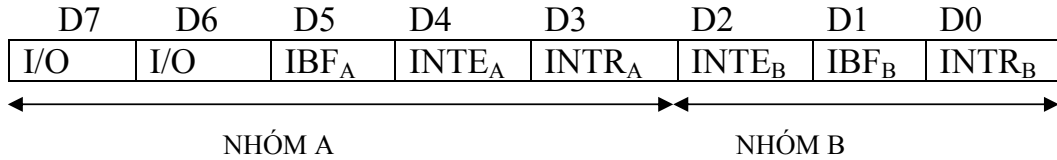
Với :

- INTR : Mức 1 ở ngõ ra này báo cho CPU biết yêu cầu ngắt
- Hoạt động xuất:
 - *OBF xuống mức 0 để báo cho các thiết bị ngoại vi biết CPU đã ghi dữ liệu ra cổng A
 - *ACK xuống mức 0 để báo cho thiết bị ngoại vi cho phép bộ đệm 3 trạng thái của cổng A mở để phát dữ liệu
 - *INTE 1 (liên quan với OBF) được kiểm soát bởi set/reset của PC
- Hoạt động nhập:
 - *STB: Mức 0 ở ngõ vào này cài dữ liệu vào mạch, cài ngõ nhập.
 - *IBF : Mức 1 thông báo cho CPU biết đã nạp vào mạch cài nhập.
 - *INTE 2 (liên quan đến IBF) được kiểm soát bởi set/reset của PC₄. Ba đường tín hiệu còn lại PC₀... PC₂ có thể được sử dụng hoặc là như các đường vào ra đơn giản hoặc là như các tín hiệu bất tay cổng B.
Dùng cổng C điều khiển cổng A,B.

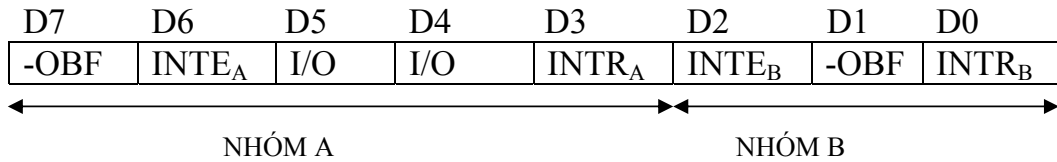
Trong mode 0, cổng C chuyển số liệu từ 8255 đến ngoại vi hay từ ngoại vi đến 8255. Khi 8255 được lập trình ở mode 1 hay mode 2, cổng C tạo ra hay nhận về các tín hiệu điều khiển ngoại vi. Đọc nội dung của cổng C cho phép người lập trình kiểm tra và xác định trạng thái của thiết bị ngoại vi để có thể thay đổi chương trình điều khiển cho phù hợp.

Các từ trạng thái cổng C từng mode:

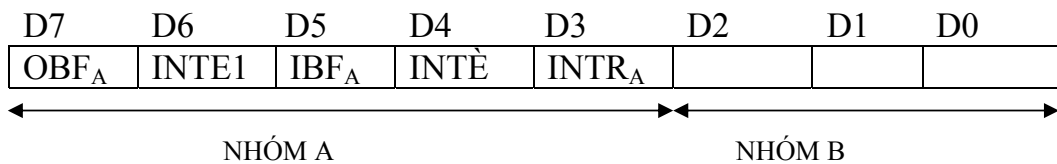
Mode 1 : Nhập



Mode 1 : Xuất



Mode 2 :



HÌNH II.4 : Từ trạng thái cổng C

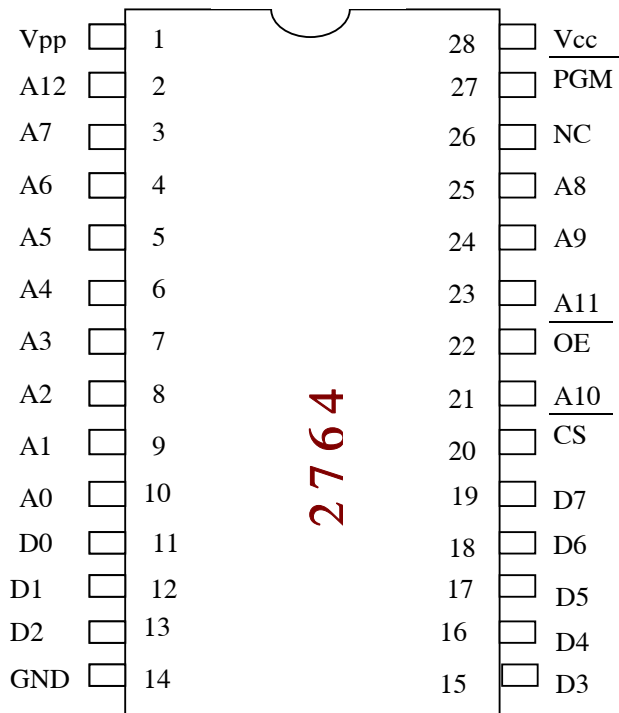
III. KHẢO SÁT BỘ NHỚ

1- Bộ nhớ có thể tháo chương và xóa được EPROM 2764

EPROM 2764 là bộ nhớ chỉ dùng một nguồn duy nhất 5v, dung lượng bộ nhớ 65.536 bit và có thể đọc xóa dễ dàng. Cũng như các EPROM khác nó có hai kiểu hoạt động là : bình thường và chờ (Standby). Ở kiểu chờ mạch chỉ tiêu tán một phần tư công suất bình thường,

Thời gian truy xuất là 250ns với tốc độ lựa chọn vào khoảng 200ns. Thời gian truy xuất có thể tương hợp với những vi xử lý hoạt động ở tốc độ cao. Một ưu điểm quan trọng của 2764 là kiểm soát riêng lẻ các ngõ ra.

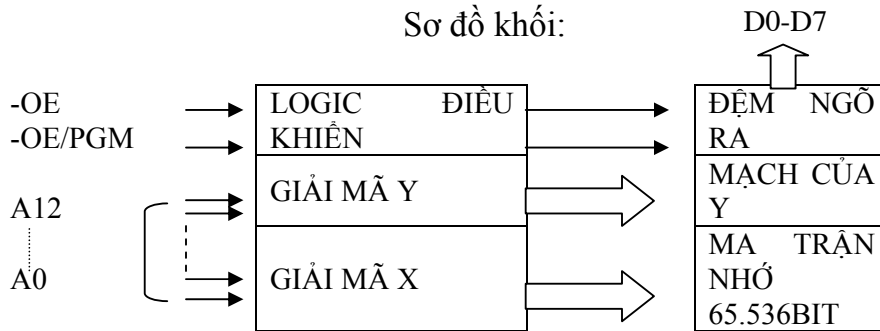
Sơ đồ chân và cấu tạo 2764 được cho ở hình III.1



A ₀ -A ₁₂	Địa chỉ vào
D ₀ -D ₇	Dữ liệu ra
-OE	Cho phép ra
-CS	Cho phép chip hoạt động
PGM	Nạp chương trình
NC	Không nối

Ghi chú : -OE ngõ ra đảo của OE

Sơ đồ khối:



HÌNH III.1: Sơ đồ chân và cấu tạo của EPROM

Bảng trạng thái hoạt động của các chân

CHÂN	-CE (20)	-OE (22)	-PGM (27)	V _{PP} (1)	V _{CC} (28)	D ₀ - D ₇ (11 - 13. 15 - 19)
KIỂU						

Đọc	V_{IL}	V_{IL}		V_{CC}	V_{CC}	D_{OUT}
Chờ	V_{IH}			V_{CC}	V_{CC}	Z cao
Nạp chương trình	V_{IL}		V_{IL}	V_{PP}	V_{CC}	D_{IN}
Kiểm tra chương trình	V_{IL}	V_{IL}	V_{IH}	V_{PP}	V_{CC}	D_{OUT}
Cấm nạp chương trình	V_{IH}			V_{PP}	V_{CC}	Z cao

X có thể là V_{IL} hoặc V_{IH}

Bảng III.1: Bảng trạng thái của 2764

2- Bộ nhớ tĩnh SRAM 6264 :

6264 là RAM tĩnh tốc độ cao, dung lượng bộ nhớ 8192 word x 8bit

- Đặc tính 6264 :
 - Sử dụng nguồn 5V
 - Thời gian truy xuất nhanh, tối đa có thể đạt 150 ns
 - Công suất tiêu tán ở trạng thái chờ thấp: 0.1mW
 - Ngõ vào / ra dữ liệu chung, ngõ ra ba trạng thái
 - Ngõ vào, ra tương hợp với họ TTL
 - Thời gian vòng và truy cập như nhau.
 - Chân ra tương thích với họ EF ROM 64k
 - Sơ đồ khối tiêu chuẩn 28 chân

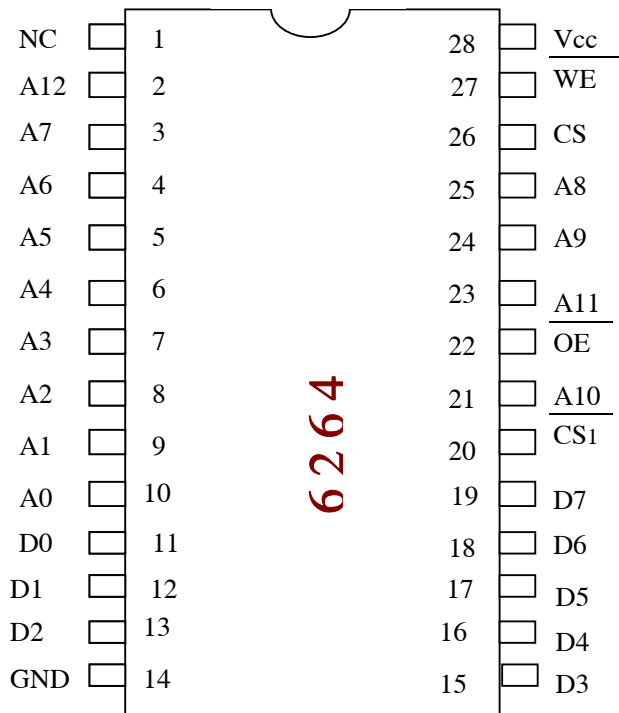
* Bảng trạng thái:

-WE	-CS ₁	CS ₂	-OE	Trạng thái	Chân D
X	H	X	X	Không chọn	Z cao
X	X	L	X		Z cao
H	L	H	H	Không xuất	Z cao
H	L	H	L	Đọc	D xuất
L	L	H	H	Ghi	Dnhập
L	L	H	L		Dnhập

X : không quan tâm

Bảng III.2 Bảng trạng thái của 2764.

- Sơ đồ chân RAM 6264



D0-D7

A ₀ -A ₁₂	Địa chỉ vào
D ₀ -D ₇	Dữ liệu ra
-OE	Cho phép ra
-CS ₁ , CS ₂	Cho phép chip hoạt động
-WE	Cho phép ghi
NC	Không nối

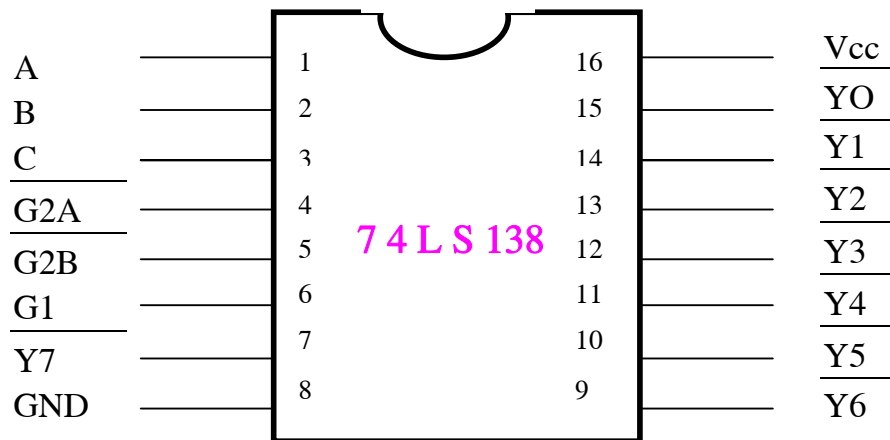
Ghi chú : -OE ngõ ra đảo của OE

Hình III.2 : Sơ đồ chân của SRAM 6264

IV KHẢO SÁT VI MẠCH GIẢI MÃ ĐỊA CHỈ

IC giải mã thường được chọn cho mạch vi xử lý là IC 74LS 138. Đây là bộ giải mã đa hợp giải 3 đường ra 8 đường. IC 74LS 138 gồm có 8 đường ra từ $Y_0 \rightarrow Y_7$, 3 đường dữ liệu vào là A, B, C và 3 đường điều khiển. Trạng thái hoạt động của IC 74LS 138 phụ thuộc vào điều kiện của ba chân này trong đó hai chân G2A và G2B tác động ở mức thấp (mức 0) còn G1 tác động ở mức cao (mức 1), IC 74LS 138 được thiết kế để hoạt động với tốc độ cao, nó thường dùng cho các bộ giải mã địa chỉ, bộ nhớ và trong các hệ thống truyền dữ liệu.

Sơ đồ chân của IC 74LS 138 :



HÌNH IV. 1 : Sơ đồ chân của IC 74 LS138

Bảng trạng thái của IC74LS138

Điều khiển		Dữ liệu vào			Dữ liệu ra							
G1	G2	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	1	X	X	X	1	1	1	1	1	1	1	1
0	X	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

X: Không quan tâm

Bảng IV.1 : bảng trạng thái của IC 74LS138

TÀI LIỆU THAM KHẢO

----o0o----

- 1- ELECTRONIC DESIGN CIRCUITS AND SYSTEMS.
Savant, Roden, Carpenter.
1991 – *The Benjamin/Cummings Publishing Company, Inc.*
- 2- MICROPROCESSOR AND IC FAMILIES.
Walter H. Buchsbaum, ScD.
1993 – *Tech Publication Pte Ltd.*
- 3- AUTOMOTIVE COMPUTER SYSTEMS AND CIRCUITS
Edwardj. Ralbovsky
Prenlice, Englewood Cliffs, New Gersey.
- 4- TOYOTA COMPUTER CONTROLLED SYSTEMS
1992 – *Toyota Motor Corporation.*
- 5- THIẾT KẾ & LẮP RÁP MÁY VI TÍNH CPU Z-80.
Tập1: Thiết kế cơ bản.
Hồng Minh Nhật, Huỳnh Công Sanh.
Nhà Xuất Bản Giáo Dục – 1994.
- 6- LẬP TRÌNH CHO CÁC HỆ VI XỬ LÝ 8080 – 80850 – Z80
Nhà Xuất Bản Thống Kê.
- 7- GIÁO TRÌNH MẠCH SỐ (TẬP 2)
Nguyễn Hữu Phương.
Trường ĐH, Tổng Hợp TP. HCM
- 8- PHƯƠNG PHÁP NGHIÊN CỨU KHOA HỌC
Châu Kim Lang.
Trường ĐH.Sư Phạm Kỹ Thuật TP.HCM - 1989